

Docket No.: 394-1969



PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of  
Akihiko TAKABATAKE et al  
Serial No. 08/594,195  
Filed: January 31, 1996

RECEIVED 1-#3  
APR 17 1996  
GROUP 2100  
Examiner  
2104  
5-2a

For: PICTURE DECODING AND DISPLAY UNIT INCLUDING A MEMORY  
HAVING REDUCE STORAGE CAPACITY FOR STORING PIXEL DATA

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Honorable Commissioner of  
Patents and Trademarks  
Washington, D.C. 20231

Sir:

At the time of filing the above-identified application, a  
claim was made to the priority date(s) of the corresponding  
Japanese Patent Application No. 7-110512,  
filed May 9, 1995.

We now submit the priority document(s) in support of this  
Claim of Priority. Acknowledgement is respectfully requested.

Respectfully submitted,

LOWE, PRICE, LEBLANC & BECKER

*Gene Z. Robinson*  
Gene Z. Robinson  
Registration No. 33,351

99 Canal Center Plaza, Suite 300  
Alexandria, Virginia 22314  
(703) 684-1111 GZR:cce  
Enclosure  
Date: April 11, 1996

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

08/094,175  
2104  
1/31/96  
TAKABATAKE  
et al.

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日

Date of Application:

1995年 5月 9日

出願番号

Application Number:

平成 7年特許願第110512号

出願人

Applicant (s):

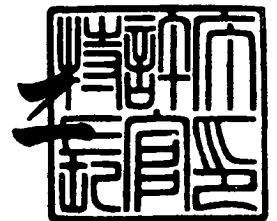
三菱電機株式会社



1995年10月 6日

特許庁長官  
Commissioner,  
Patent Office

清川 佑



出証番号 出証特平07-3031771

【書類名】 特許願

【整理番号】 AP155631

【特記事項】 特許法第30条第1項の規定の適用を受けようとする特許出願

【提出日】 平成 7年 5月 9日

【あて先】 特許庁長官殿

【国際特許分類】 G06T 1/20

【発明の名称】 画像復号表示装置

【請求項の数】 11

【発明者】

    【住所又は居所】 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社 システム エル・エス・アイ開発研究所内

    【氏名】 高畠 明彦

【発明者】

    【住所又は居所】 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社 システム エル・エス・アイ開発研究所内

    【氏名】 浦本 紳一

【特許出願人】

    【識別番号】 000006013

    【氏名又は名称】 三菱電機株式会社

    【代表者】 北岡 ▲たかし▼

【代理人】

    【識別番号】 100064746

    【弁理士】

    【氏名又は名称】 深見 久郎

【選任した代理人】

    【識別番号】 100085132

    【弁理士】

    【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091395

【弁理士】

【氏名又は名称】 吉田 博由

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【手数料の表示】

【納付方法】 予納

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9103052

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像復号表示装置

【特許請求の範囲】

【請求項1】 与えられるビットストリームに含まれる予測符号化された画像の画素データを復号処理して元の画素データを復元して表示装置での表示のために出力する画像復号表示装置であって、前記画面の画像は、2フィールドを有するフレームの画素データで構成され、

前記ビットストリームに含まれる画素データを抽出し、該抽出した画素データに前記復号処理を施して元の画素データを復元する復号手段を備え、前記復号手段は、前記ビットストリームに含まれる、与えられた画素データが所属するフレームの種類が、復号時に参照画像として用いられるI/Pピクチャであるか参照画像としては用いられず表示のみが行なわれるBピクチャであるかを示す情報を抽出し、該フレームの種類を識別する手段を含み、

前記復号手段からのBピクチャ識別指示信号に従って、前記復号手段で復元されたBピクチャの画素データを格納するための記憶手段と、

前記記憶手段に結合され、前記記憶手段に格納された画素データを読み出して前記表示装置へ表示のために出力する読出手段と、

前記復号手段および前記読出手段に結合され、前記Bピクチャの前記復号処理の開始タイミングと前記読出手段からの前記復号処理されたBピクチャの画素データの前記表示装置への出力タイミングの時間差が前記Bピクチャの1フィールドの画素データの前記表示装置への出力に要する1フィールド時間となるように前記復号手段および前記読出手段の動作タイミングを制御して前記復号手段および前記読出手段を同期動作させる制御手段を備える、画像復号表示装置。

【請求項2】 入来するビットストリームに含まれる予測符号化された画像の画素データに復号処理を施して元の画素データを復元して該復元した画素データを表示装置上での表示のために出力する画像復号表示装置であって、前記画面画像は、複数フィールドのフレームで構成され、

前記予測符号化された画素データに前記復号処理を行なって元の画素データを復元する復号手段と、

前記復号手段からの復元された画素データを格納するための格納手段と、

前記格納手段から画素データを読み出して前記表示装置への表示のために出力する読出手段と、

前記読出手段および前記復号手段に結合され、前記読出手段からのあるフレームの最後に表示されるべきフィールドの画素データの読出に応答して、前記表示されるべきフィールドを含むフレームの次に与えられるフレームの画素データの復号処理動作を前記復号手段に開始させる制御手段とを備える、画像復号表示装置。

【請求項3】 入来するビットストリームに含まれる予測符号化された画像の画素データに復号処理を施して元の画素データを復元して表示装置上での表示のために出力する画像復号表示装置であって、前記画面画像は複数フィールドのフレームで構成され、

前記予測符号化された画素データを受けて前記復号処理を行なって元の画素データを復元する復号手段と、

前記復号手段の出力する画素データを格納するための記憶手段と、

前記記憶手段に格納された画素データをフィールド単位で順次読出して前記表示装置への表示のために出力する読出手段と、

前記読出手段および前記復号手段に結合され、与えられたプルダウン変換情報に従って前記記憶手段から所定数のフレームごとにフィールド単位で画素データが再度読出されるように前記読出手段を制御し、かつ前記記憶手段からのあるフレームのフィールドのうち最後に表示されるべきフィールドの画素データの前記表示装置への出力に応答して、次のフレームの画素データの復号処理を前記復号手段に開始させる制御手段を備える、画像復号表示装置。

【請求項4】 前記制御手段は、

前記表示速度変換情報に従って、前記記憶手段から再度読出される画素データのフィールドが前記最後に表示されるべきフィールドのとき、前記最後に表示されるべきフィールドの表示期間に先行する1フィールド期間の間前記復号手段の復号処理動作を停止させる手段を含み、前記1フィールド期間は、1フィールドの画素データを前記表示装置上で表示するのに要する時間である、請求項8記載

の画像復号表示装置。

【請求項5】 与えられるビットストリームに含まれる予測符号化された画像の画素データを復号処理して元の画素データを復元して表示装置での表示のために出力する画像復号表示装置であって、前記画面の画像は2フィールドのフレームで構成され、

前記予測符号化された画素データに前記復号処理を行なって元の画素データを復元する復号手段と、

前記復号手段からの復元された画素データを格納するための格納手段と、

前記格納手段からの画素データを読出して前記表示装置への表示のために出力する読出手段と、

前記読出手段および前記復号手段に結合され、前記復号手段におけるフレームの復号開始に応答して、前記記憶手段から、1フィールドの画素データの読出に要する時間差を持って表示されるべきフレームの最初のフィールドの画素データの読出を開始させる制御手段とを備える、画像復号表示装置。

【請求項6】 前記復号処理は画面上所定サイズのブロックの画素データを単位として行なわれ、前記画面画像は、画面上水平方向にM個の前記所定サイズのブロックを含み、

前記制御手段は、

前記復号手段の復号処理開始タイミングを前記M個のブロックの画素データの前記記憶手段からの読出に要する時間遅延させる遅延手段をさらに含む、請求項1ないし5のいずれかに記載の画像復号表示装置。

【請求項7】 前記遅延手段は、前記記憶手段の画素データ出力部と前記表示装置に結合される前記読出手段の出力ポートとの間に配置され、与えられた画素データを所定時間格納するバッファメモリ手段を含む、請求項6記載の画像復号表示装置。

【請求項8】 前記ビットストリームは、画像画素データがフィールド単位で与えられるか2フィールドの画素データが混在するフレーム単位で与えられるかを示すデータ構造情報を含み、

前記復号手段は、前記ビットストリームから前記データ構造情報を抽出し、該

データ構造情報が示すデータ構造を指定する情報を出力する手段を含み、

前記制御手段は、前記抽出手段から与えられるデータ構造情報がフィールド単位を示すことに応答して、前記遅延手段を非活性状態とする手段を含む、請求項6記載の画像復号表示装置。

【請求項9】 前記画面画像画素データは、フィールド単位で与えられる、請求項1ないし5のいずれかに記載の画像復号表示装置。

【請求項10】 前記記憶手段は、前記1フレーム分の画素データを格納するフレームメモリで構成される、請求項1記載の画像復号表示装置。

【請求項11】 前記画像のフレームの種類が、復号時に参照画像として用いられるI/Pピクチャと、参照画像として用いられず表示のみが行なわれるBピクチャとを含み、前記記憶手段は、前記Bピクチャを格納するための記憶素子として、1フレームの画素データを格納するフレームメモリで構成される、請求項2ないし5のいずれかに記載の画像復号表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

この発明は、符号化された画像データを復号して表示装置への表示のために復号後の画素データを出力する画像復号表示装置に関し、特に、予測符号化された動画データデータを復号して表示のために出力する画像復号表示装置に関する。より特定的にはMPEG (Motion Picture Experts Group) 標準の復号処理におけるBピクチャを記憶する記憶素子の記憶容量を低減するための構成に関する。

【0002】

【従来の技術】

膨大な量の画像データの伝送時、画像データを高能率で符号化してデータ量を低減することが行なわれる。このような高能率符号化手法の1つに、フレーム（またはフィールド）間予測符号化方式がある。このフレーム（またはフィールド）間予測符号化は、画像の時間的相関性を利用する符号化方式であり、動画データの符号化においてよく用いられている。

【0003】



このフレーム（またはフィールド）間予測符号化は以下の手順を含む。符号化対象となる現画面画像（フレームまたはフィールド）と時間的に近接する画面画像（以下、単に画像と称す）を参照画像として現画像の画素データの値を予測する。この予測値と現画像の画素データとの差分（予測誤差）を求め、この予測誤差を符号化する。予測値としては、符号化される現画像画素に対応する参照画像画素（通常、動画像符号化においては、動き補償された参照画像の画素）のデータが用いられる。画像の時間的相関性が高い場合には、この差分（予測誤差）は小さな値となるため、伝送すべきデータ量を低減することができ、効果的な情報の圧縮が実現される。

#### 【0004】

このような予測符号化方式の1つに、動画像を対象とするMPEG規格がある。このMPEG規格の画像データの符号化および復号化方式は、たとえば、日経エレクトロニクス、1994年3月14日号の第82頁ないし第116頁に解説されているが、以下に簡単に説明する。

#### 【0005】

画像には、Iピクチャ、PピクチャおよびBピクチャなどの種類が存在し、画像の種類に応じて用いられる予測方式が異なる。

#### 【0006】

図27は、画像の時間的配列の一例を示す図である。図27においては、9枚の画像G1～G9が代表的に示される。画像G3は、Iピクチャであり、フレーム内またはフィールド内符号化され、画素データそのものが符号化される画像である。画像G6およびG9は、Pピクチャであり、過去の再生画像を用いてフレーム間またはフィールド間予測符号化処理される画像である。画像G1、G2、G4、G5、G7およびG8は、Bピクチャであり、過去および未来の再生画像のいずれかまたは両者の再生画像を用いて予測符号化される画像である。このBピクチャは、IピクチャおよびPピクチャまたはPピクチャおよびPピクチャの組を用いて予測符号化される。Bピクチャは、予測符号化時および復号化時には参照画像としては用いられない。図27においては、BピクチャG1およびG2は、時間的に後に位置する未来の画像Iピクチャ

G3を用いて予測符号化される。BピクチャG4およびG5は、過去の再生画像であるIピクチャG3と時間的に後に位置する未来の再生画像であるPピクチャG6両者を用いて予測符号化される。BピクチャG7およびG8は、過去の再生画像であるPピクチャG6と未来の再生画像であるPピクチャG9を用いて予測符号化される。

#### 【0007】

図28は、1つの画像の構成を示す図である。図28において、1枚の画像（フィールドまたはフレーム）1020は、複数のマクロブロックと呼ばれるセグメントに分割される。図28においては、簡単化のために、画像1020は、32個のマクロブロックMB#1～MB#32に分割される構成が一例として示される。動画像の処理は、通常、このマクロブロックと呼ばれるセグメントを単位として実行される（符号化処理および復号化処理いずれにおいても）。マクロブロックMB#1～MB#32の各々は、図28に併せて示すように、通常、水平方向16画素および垂直方向16画素に配列された256個の画素を含む。したがって、図28に示す画像1020は、128画素×64画素で構成される。MPEG規格においては、この画像（ピクチャ）の構成については、1ライン（走査線）あたり720画素以下、および1フレームあたり576ライン以下および毎秒30フレーム以下という条件が規定されている。ただし、DCT（離散コサイン変換）処理およびIDCT（逆離散コサイン変換）処理においては、8画素×8画素のブロックを単位として処理が行なわれる。

#### 【0008】

図29は、MPEG規格に従う画像データのビットストリーム（複数ビット幅）の構成（シンタクス）を概略的に示す図である。図29において、ビットストリームは、複数のレイヤに分割される。上位から、シーケンスレイヤ、GOP（グループ・オブ・ピクチャ）レイヤ、ピクチャレイヤ、スライスレイヤ、マクロブロックレイヤおよびブロックレイヤである。

#### 【0009】

ブロックレイヤは、DCT係数を含む領域1100aと、ブロックの終了を示すエンド・オブ・ブロック（EOB）を格納する領域1100bを含むブロック

1100で構成される。DCT係数データを格納する領域1100aは、DCT処理の単位となる8行・8列の画素のDCT係数データを格納する。ブロック1100において、領域1100aの最終のAC係数が非ゼロ係数の場合、領域1100bのエンド・オブ・ブロックEOBは用いられない場合もある。ここで、DCT処理は、符号化時において、画像における空間的な冗長性（隣接画素間の高い相関性）を低減して画像データ量の削減を図るために行なわれる。すなわち、DCT処理により、DCT係数を低域係数領域に偏在させることができる。このDCT係数を量子化することにより、空間周波数における水平および垂直方向をともに低域成分の値を大きくし、かつ高域成分の値をほとんど“0”とすることができる。これにより画像データ量が低減される。

#### 【0010】

マクロブロックレイヤは、所定数のブロック（6個）1100と、マクロブロックのデータの属性および動きベクトル等を格納するマクロブロックヘッダ1115を含むブロック1110で構成される。

#### 【0011】

スライスレイヤは、画像の走査順に連結される1つまたは複数のマクロブロックで構成されるスライス1120を含む。このスライス1120の先頭には、スライスの画面上垂直位置を示す情報およびこのスライスの始まりを示す所定のパターンを有するスタートコードなどの情報が格納されるスライスヘッダ1125が設けられる。

#### 【0012】

ピクチャレイヤは、複数のスライス1120で構成されるピクチャ（画像）1130を含む。ピクチャ1130の先頭に、ピクチャの種類（Iピクチャ、Pピクチャ、Bピクチャ等）を示す情報およびピクチャの開始を示すスタートコードを格納するピクチャヘッダ1135が配置される。

#### 【0013】

GOPレイヤは、複数のピクチャ1130を含むGOP1140を含む。このGOP1140に含まれるピクチャ1130は、1つ以上のIピクチャと0または複数のPピクチャまたはBピクチャを含む。GOP1140の先頭

には、GOPの始まりを示すスタートコード、およびこのGOPがそれより以前のGOPの画像データからの参照を必要としないことを示すフラグなどの情報を格納するGOPヘッダ1145が配置される。

#### 【0014】

シーケンスレイヤは、1つあるいは複数のGOP1140または1つもしくは複数のピクチャ1130で構成されるシーケンス1150を含む。シーケンス1150の先頭部には、画面のフォーマットなどの情報を格納するシーケンスヘッダ1155が配置される。このシーケンスヘッダ1155は、シーケンス1150に含まれるGOP1140のすべての先頭に配置させることができる（シーケンスの途中からの画像の再生を許容するため）。シーケンスヘッダ1155は、シーケンスの開始を示す所定のパターンを有するスタートコード、画像の水平および垂直サイズ、ピクチャレート（画像表示速度）、ビットレート、およびBピクチャ周期（IピクチャとPピクチャの間または2つのPピクチャの間に配置されるBピクチャの数）などの情報が格納される。

#### 【0015】

図30は、画像復号装置の概略構成を示す図である。図30において、画像復号装置は、符号化装置から与えられる画像符号化データ（ビットストリーム）を受け、符号化時と逆の処理を行なって元の画素データを復元する復号回路DCと、復号回路DCにおいて復元された画像データを格納するための記憶装置MRを含む。復号回路DCへ与えられる符号化データは、先に説明したように、予測符号化されたデータである。フレーム間予測符号化においては、現フレームの画素データと予測フレーム（参照フレーム）の画素データとの差分が符号化されている。したがって、復号回路DCにおいて復号処理をする場合には、この予測フレーム（参照フレーム）を用いて差分を求める演算と逆の演算、すなわち加算演算を行なう必要がある。この参照フレーム画像データを記憶するために記憶装置MRが設けられる。Bピクチャは、2つのピクチャを参照画像として用いるため、記憶装置MRは、少なくとも2つのピクチャの画像データを格納する容量が必要とされる。記憶装置MRは、2つのピクチャをそれぞれ格納するバンク#1BK1およびバンク#2BK2を含む。ここで、以下の説明においては、画

像符号化データの構造が、偶数フィールドの画素データおよび奇数フィールドの画素データをともに含むフレームを単位とするフレーム構造であると仮定する。この場合、バンク#1BK1およびバンク#2BK2は、それぞれ1フレームの画像データを格納する記憶容量を備える。

【0016】

【発明が解決しようとする課題】

前述のごとく、画像データの符号化および復号化処理はマクロブロックを単位として行なわれる。符号化時においては、図31(A)に示すように、画像1030のマクロブロックMBは、この図31(A)に示す番号の順に符号化される。ここで、図31(A)においては、画像1030は水平方向にN個、かつ垂直方向にM個のマクロブロックに分割される構成が示される。便宜的に、以下の説明において水平方向に整列して配置されるN個のマクロブロックMBを「1マクロブロックライン」と称す。符号化時においては、各マクロブロックラインにおいて画面上左端のマクロブロックから画面上右方向へのマクロブロックへと符号化処理が進む。あるマクロブロックラインの最後のマクロブロック、たとえばマクロブロックMB(N)の符号化処理が終了した後、次のマクロブロックラインの左端のマクロブロック(たとえばマクロブロックMB(N+1))の符号化処理が行なわれる。符号化装置から伝送される符号化画像データも、図31(B)に示すように、符号化されたマクロブロックの順に伝送される。

【0017】

復号回路(図30参照)は、この図31(B)に示すシーケンスで与えられる符号化データを同様、マクロブロックMB単位で復号化処理を行なって出力する。したがって、この復号回路から記憶装置へ出力される復号後の画像データの出力シーケンスも図31(B)に示すシーケンスと同じとなる。

【0018】

一方、一般の表示装置において画像の表示は「ラスタ走査」方式に従って、画面上から下へ向かって「1画素ライン」ごとに行なわれる。ここで、「1画素ライン」は、画面上水平方向に整列して配置される画素の集合を示す。

【0019】

図32はノンインターレス方式で画像を表示する際の画素データの画面上での表示シーケンスを示す図である。図32において、1画面の画像（ピクチャ）1040は、2L画素ラインを含む。この画面画像1040の左に画素ラインの表示順序を示す。ノンインターレス表示の場合、画面画像1040の左上端の画素から順次表示される。すなわち、1つの画素ラインにおいて左端に配置された画素から画面上右方向に表示が進む。1つの画素ラインにおいて最後の画素（画像1040の右端の画素）の表示が完了すると、次の画素ラインの画像1040の左端の画素の表示が行なわれる。この表示シーケンスが最終の画素ライン（番号2Lと付された画素ライン）の表示が完了するまで繰返し実行される。

#### 【0020】

図33は、インターレス表示方式における画像の表示シーケンスを示す図である。図33においても、画像1040は、2L本の画素ラインを含む。このインターレス表示方式においては、まず画像1040上の一番上の画素ラインの画素データの表示が行なわれる。次に、次の画素ラインを飛び越して、その次の画素ラインの画素データの表示を行なう。以降、1つの画素ラインを飛び越して画像1040の画素データの表示を行なう。画像1040の下側の画素ライン（L）に到達した場合、再度画像1040の上側に戻り、飛び越された画素ラインの画素データの表示を行なう。この飛び越された画素ラインの画素データの表示が完了すると次のフレーム画像の表示が行なわれる。すなわちこのインターレス表示においては、まず画像1040の奇数画素ラインの画素データの表示が行なわれ、すべての奇数画素ラインの画素データの表示が完了した後に、偶数画素ラインの画素データの表示が行なわれる。すなわちインターレス表示の場合、1フレームが奇数フィールドと偶数フィールドで構成され、奇数フィールドの表示が完了した後に偶数フィールドの表示が行なわれる。

#### 【0021】

図31と図32および図33とを比較すれば明らかなように、復号化データの出力されるシーケンスと表示装置上で表示される画素データの表示順序とは異なっている。したがって、画像復号および表示機能を備える装置においては、この画素データの並ぶ順序を変換する機能が要求される。この画素データの配置順序

を変換する機能は、記憶装置を用いて実現される。すなわちこの記憶装置に対し、復号された画素データの順序で画素データを書込み、表示される画素データの順序に従って画素データの読出が行なわれる。すなわち、与えられた画像符号化データを復号し、マクロブロック順に記憶装置に書込み、表示時において、この表示装置の表示方式に従ってノンインターレス方式またはインターレス方式のいずれかの順序に従ってこの記憶装置から画素データを読出すことによりこの変換機能が実現される。

#### 【0022】

図34は、従来の画像データの復号および表示機能を備える復号表示装置の構成を概略的に示す図である。図34において、従来の復号表示装置は、与えられた画像符号化データに含まれる画素データに復号処理を施して元の画素データを復元しかつ復元したデータを表示装置DPへ表示のために出力する復号・表示回路DDCと、この復号・表示回路DDCにおける復号処理時において用いられる参照画像データおよび表示のための画素データを格納するための記憶装置MRを含む。記憶装置MRは、IピクチャまたはPピクチャを格納するためのバンク#1(BA1)と、Pピクチャの画素データを格納するためのバンク#2(BA2)と、Bピクチャの画素データを格納するためのバンク#3(BA3)およびバンク#4(BA4)を含む。以下、この図34に示す復号・表示装置の復号および画像データ処理シーケンスをそのタイミングチャートである図35を参照して説明する。

#### 【0023】

復号・表示回路DDCへは、表示時と異なる順序で各ピクチャの画素データが与えられる。Bピクチャの復号化時には、時間的に後のすなわち未来のピクチャの画素データを用いるため、この未来の画素データはBピクチャより先に伝送される。復号・表示回路DDCは、この送信側から与えられた画像データを送信順序に従って順次復号処理を行なう。表示時においては、そのピクチャの種類に従って表示順序が入替えられて表示すべき順序でピクチャの画素データが読出されて表示装置DPへ与えられる。いま、記憶装置MRのバンク#1～#4(BA1～BA4)には、何ら有効な画素データは格納されていないとする

【0024】

期間T1においては、復号・表示回路DDCへIピクチャI3の画像データが与えられ、このIピクチャI3の画像データの復号処理が行なわれる。このIピクチャI3の復号された画像データは記憶装置MRのバンク#1(BA1)へ書込まれる。期間T1完了時においては、バンク#1はこのIピクチャI3の画素データをすべて格納する。

【0025】

次の期間T2においては、BピクチャB1の符号化データが復号・表示回路DDCへ与えられる。復号・表示回路DDCはこのBピクチャB1の符号化データを復号して復号された画素データをバンク#3(BA3)へ書込む。期間T2完了時においては、バンク#3(BA3)には、このBピクチャB1の画素データがすべて格納される。

【0026】

期間T3において、次のBピクチャB2の符号化データが復号・表示回路DDCへ与えられる。この期間T3におけるBピクチャB2の復号処理動作開始と同期して、バンク#3(BA3)からBピクチャB1の画素データが読出されて表示装置DPへ与えられて表示される。すなわち期間T3においては、記憶装置MRのバンク#4へBピクチャB2の復号後の画像データが書込まれ、かつバンク#3(BA3)からBピクチャB1の画素データが読出されて表示装置DPへ与えられる。このバンクへの書込時には、マクロブロック単位で順次書込みが行なわれ、一方、バンクからの読出時には、画素データがその表示方式に従って走査順に順次読出される。期間T3完了後、バンク#4(BA4)には、BピクチャB2の画素データがすべて格納される。その期間T3の完了時においてはBピクチャB1の画素データの表示装置DPにおける表示も完了する。

【0027】

期間T4において、PピクチャP6の符号化データが与えられ、その復号処理が行なわれて、復号後の画素データがバンク#2(BA2)へ書込まれる。この期間T4においては、バンク#4からBピクチャB2の画素データが順次読



出されて表示装置DPへ与えられて表示される。以降、期間T5、T6、T7およびT8それぞれにおいて、BピクチャB4、BピクチャB5、PピクチャP9およびBピクチャB7の符号化データが与えられ、それぞれ復号処理され、バンク#3(BA3)、バンク#4(BA4)、バンク#1(BA1)およびバンク#3(BA3)に復号後の画像データがそれぞれ順次書込まれる。これらの復号後の画像データの書込と並行して、期間T5、T6、T7およびT8それぞれにおいて、IピクチャI3、BピクチャB4、BピクチャB5およびPピクチャP6がそれぞれバンク#1(BA1)、バンク#3(BA3)、バンク#4(BA4)およびバンク#2(BA2)からそれぞれ画素データが読出されて表示装置DPへ与えられて表示される。符号化された画像の伝送および復号順序と表示されるピクチャの順序を異ならせることにより、Bピクチャの双方向予測時において過去および未来の画像データを用いる場合、必要な未来の画像データが先に記憶装置MR内に格納されていることになり、Bピクチャの復号処理を行なうことができる。

## 【0028】

上述のように、表示機能を備える復号・表示装置においては、画素順序を変換するために（マクロブロック単位で与えられる画素データをラスタ走査順序に変換するために）、2フレームの画素データを格納するためのバンク#3および#4を用いている。この2フレーム（ピクチャ）分の記憶容量が必要とされるのは、まだ表示のために読出されていない画素データに対し、復号後の画素データが上書きされるのを防止するためである。たとえば、IピクチャI3は期間T1に与えられており、その表示は期間T5において行なわれており、この間バンク#1へ画素データを格納することはできない。

## 【0029】

画像復号開始と画像表示（記憶装置から表示装置への画素データの出力）開始を同期させることにより、画像の復号速度と画像の表示速度が同じ場合、同一の時間内で復号および表示を行なうことができる。またBピクチャに関しては、復号処理が行なわれた次の期間において表示が行なわれている。Bピクチャの画素データを格納するバンク#3(BA3)およびバンク#4(BA4)におい

ては、一方が画像データの書込を受けているとき他方が画像データの表示のための読出を受けている。したがってこの記憶装置MRにおいては、データ書込が行なわれる領域とデータ読出が行なわれる領域が完全に分離されているため、データの上書きが完全に防止される。

#### 【0030】

しかしながらこの図34に示す構成の場合、記憶装置MRの記憶容量は、4フレーム分の画素データを格納する容量となる。たとえば、処理される画像がNTSC方式の解像度（720画素×480ライン）を有する場合、1画素データが8ビットとすると、1フレームの画像データは、 $720 \times 480 \times 8 \times 1.5 = 3.96$  Mビットと約4 Mビットとなる。したがってこの記憶装置MRの記憶容量としては16 Mビットが必要とされる。ここで、記憶容量の計算において、係数1.5が掛けられているのは、2つの色差信号の画素数が輝度信号の画素数の半分の状態を考慮している。したがって、従来の復号表示装置においては、表示画像の配列順序を変換するために、記憶装置の記憶容量が大きくなり、応じて装置規模が大きくなるという問題が生じる。

#### 【0031】

それゆえ、この発明の目的は、記憶訴追の記憶容量を低減することのできる画素復号表示装置を提供することである。

#### 【0032】

この発明の他の目的は記憶装置を効率的に利用して画像データの復号および表示を行なうことのできる画像復号表示装置を提供することである。

#### 【0033】

##### 【課題を解決するための手段】

請求項1に係る画像復号表示装置は、ビットストリームに含まれる画素データを抽出し、この抽出した画素データに所定の復号処理を施して元の画素データを復元する復号手段を備える。この復号手段は、ビットストリームに含まれる画素データが属するフレームの種類を、復号時に参照画像として用いられるI/Pピクチャであるか参照画像としては用いられず表示のみが行なわれるBピクチャであるかを識別する手段を含む。

## 【0034】

請求項1に係る画像復号表示装置は、さらに、この復号手段からのBピクチャ識別指示信号に従ってこの復号手段で復元されたBピクチャの画素データを格納する記憶手段と、この記憶手段に格納された画素データを読み出して表示装置へ出力する読出手段と、復号手段および読出手段に結合され、Bピクチャの復号処理開始タイミングとこの読出手段からのBピクチャの画素データの表示装置への出力タイミングの時間差がBピクチャの1フィールドの画素データの表示装置への出力に要する1フィールド時間となるように復号手段および読出手段の動作タイミングを制御する制御手段を備える。

## 【0035】

請求項2に係る画像復号表示装置は、予測符号化された画素データを受けて所定の復号処理を行なって元の画素データを復元する復号手段と、この復号手段からの復元された画素データを格納する格納手段と、この格納手段から画素データを読み出して表示装置への表示のために出力する読出手段と、読出手段および復号手段に結合され、この読出手段からのあるフレームの最後に表示されるべきフィールドの画像データの読出に応答して、次のフレームの画素データの復号処理動作を開始させる制御手段を備える。

## 【0036】

請求項3に係る画像復号表示装置は、予測符号化された画素データを受けて所定の復号処理を施して元の画素データを復元する復号手段を含む。

## 【0037】

この請求項3に係る画像復号表示装置は、さらに、復号手段が出力する復元された画素データを格納するための記憶手段と、この記憶手段に格納された画素データをフィールド単位で順次読出して表示装置への表示のために出力する読出手段と、これら読出手段および復号手段に結合され、プルダウン変換情報に従って記憶手段から所定数のフレームごとにフィールド単位で画素データが再度読出されるように読出手段を制御しかつ記憶手段からのあるフレームのフィールドのうち最後に表示すべきフィールドの画素データの表示装置への出力に응答して、次のフレームの画素データの復号処理を開始させる制御手段を備える。

## 【0038】

請求項4に係る画像復号表示装置は、請求項3の制御手段が、表示速度変換情報に従って、記憶手段から再度読出される画素データのフィールドが最後に表示されるべきフィールドのとき、最後に表示されるべきフィールドのフィールド期間に先行する1フィールド期間復号手段の復号処理動作を停止させる手段を含む。

## 【0039】

請求項5に係る画像復号表示装置は、ビットストリームに含まれる予測符号化された画像の画素データに復号処理を行なって元の画素データを復元する復号手段と、この復号手段からの復元された画素データを格納するための格納手段と、この格納手段から画素データを読出して表示装置への表示のために出力する読出手段と、復号手段からの復号開始指示に従って読出手段からの画素データの読出動作を開始させる制御手段を含む。この制御手段は、復号手段による復号開始から、読出手段からあるフレームの最初のフィールドが読出されるまでの時間差を1フィールドの画素データが表示のために出力されるのに要する時間とする手段を含む。

## 【0040】

請求項6に係る画像復号表示装置において、制御手段は、復号手段の復号処理開始タイミングを表示画面上に1行に整列して配置される画素ブロックの画素データの記憶手段からの読出に要する時間遅延させる遅延手段を含む。

## 【0041】

請求項7に係る画像復号表示装置において、この遅延手段が、記憶手段の画素データ出力部と表示装置に結合される読出手段の出力ポートとの間に配置され、与えられた画素データを所定時間格納するバッファメモリを含む。

## 【0042】

請求項8に係る画像復号表示装置は、復号手段が、その画像符号化データのデータ構造がフィールド単位であるかフレーム単位であるかを示すデータ構造情報を抽出し、復号されるビットストリームのデータ構造を指定する情報を出力する手段を含む。制御手段は、この抽出されたデータ構造情報に従って、復号される

フレームがフィールド単位で符号化されている場合には、この遅延手段を非活性状態とする手段を含む。

【0043】

請求項9に係る画像復号表示装置では、ビットストリームにおいて画像データがフィールド単位で符号化されている。

【0044】

請求項10に係る画像復号表示装置においては、Bピクチャの画素データを格納する記憶手段が1フレーム分の画素データを格納する記憶容量を備えるフレームメモリで構成される。

【0045】

請求項11に係る画像復号表示装置においては、画像のフレームは、復号時に参照画像として用いられるI/Pピクチャおよび参照画像として用いられず表示のみが行なわれるBピクチャとを含む。このBピクチャの画素データを格納する記憶手段は1フレームの画素データを格納するフレームメモリで構成される。

【0046】

【作用】

請求項1に係る画像復号表示装置においては、Bピクチャの復号開始と表示開始とが1フィールド時間の時間差を持っている。したがって、復元されたBピクチャの画素データが1フィールド時間経過後記憶手段から読出されて表示装置へ与えられるため、1フレームの画素データの記憶容量を備える記憶手段を用いても、1フィールドに相当する画素データの格納と先行する1フィールドに相当する画素データの読出とを同一の期間内に行なうことができ、Bピクチャ格納のために用いられる記憶装置の記憶容量を低減することができる。

【0047】

請求項2に係る画像復号表示装置においては、あるフレームの最後の表示されるべきフィールドの画素データの読出と次のフレームの画素データの復号開始とを同期して行なっており、インタレース方式およびノンインタレース方式のいずれの画像表示方式においてもBピクチャに対し1フィールド時間差をもって画

像データのデコードおよび表示を行なうことができ、記憶装置の記憶容量を低減して正確な画像データの表示および復号を行なうことができる。また、3:2プルダウンなどのような表示速度を変換する場合においても、記憶手段の記憶容量を増加させることなくまた複雑なタイミング制御を必要とすることなく容易に対応することができる。

## 【0048】

請求項3に係る画像復号表示装置においては、画像データが再度読出される場合には、最終のフィールドの画素データの読出時に復号手段の復号処理が開始されており、3:2プルダウンのような表示速度変換時においても、記憶手段の記憶容量を増加させることなく正確に画像データの上書きを防止して復号および表示を行なうことができる。

## 【0049】

請求項4に係る画像復号表示装置においては、表示すべき最後のフィールドの画素データが再度読出される場合においては、先行する1フィールド期間復号処理を停止させており、記憶手段の記憶容量を増加させることなく復元された画素データによる読出画素データの上書きを防止することができ、正確に3:2プルダウンなどの表示速度変換を行なうことができる。

## 【0050】

請求項5に係る画像復号表示装置においては、復号開始が行なわれてから1フィールドの時間差をもって記憶手段から表示装置への表示のために次のフレームの最初のフィールドの画素データが読出されている。したがって、記憶装置の記憶容量を低減して正確な画像データの表示および復号を行なうことができる。

## 【0051】

請求項6に係る画像復号表示装置においては、復号処理開始タイミングが1マクロブロックラインの画素データの読出時間分遅延されるため、同一フィールドの画素データの復号および表示が行なわれる場合においても、記憶手段の画素データの読出が行なわれた位置に復号後の画素データが書込まれるため、記憶手段において読出前の画素データが復元された画素データで書換えられるのを防止することができ、正確な復号および表示動作を実現することができる。

【0052】

請求項7に係る画像復号表示装置においては、復号手段の復号開始タイミングの遅延が記憶手段と表示装置の間の記憶手段の出力部に設けられたバッファメモリにより実現されるため、複雑なタイミング条件を考慮することなく遅延を正確に実現することができ、制御が容易となる。

【0053】

請求項8に係る画像復号表示装置においては、フィールド構造の画像データの場合には、記憶手段の書込位置と読出位置とは異なっているため、復号開始タイミングの遅延が不要とされ、応じてフィールド構造の画像データの場合には遅延手段が不活性状態とされるため、フィールド予測符号化方式およびフレーム予測符号化方式いずれに対しても正確に画像データの復号および表示を正確に実行することができる。

【0054】

請求項9に係る画像復号表示装置においては、画像データがフィールド構造の場合には、1マクロブロックラインの遅延が不要とされるため、遅延手段が不要となり、装置構成を簡略化することができる。

【0055】

請求項10または11に係る画像復号表示装置においては、Bピクチャ格納用記憶手段は1フレームの画素データを格納する必要最小限の記憶容量を有するフレームメモリで構成されており、復元画素データ格納のための記憶装置の記憶容量が低減された画像復号表示装置が実現される。

【0056】

【実施例】

〔実施例1〕

図1は、この発明に従う画像復号表示装置の構成を概略的に示す図である。図1において、画像復号表示装置1は、ビットストリームの形態で与えられる画像符号化データを受け、この画像符号化データに含まれる符号化画素データに所定の復号処理を施して元の画素データを復元する復号化ユニット10と、復号化ユニット10で復元された画素データを格納する記憶装置12と、復号化ユニット

10の動作タイミングなどの動作を制御するとともに記憶装置12へのアクセス動作を制御する制御ユニット14を含む。画像符号化データは、以下の説明においては、画像の性質および属性などのヘッダ情報をも含むものと想定する。各画素についてのデータを示す場合には「画素データ」という用語を用い、1枚の画像（フィールドまたはフレーム）全体のデータを示し特に画素を特定しない場合には「画像データ」という用語を用いる。この復号化ユニット10は、後にその内部構成について説明するが、符号化画素データの復号処理およびヘッダ情報（図29参照）の解析の機能を併せ持つ。

#### 【0057】

制御ユニット14は、外部に設けられた表示制御装置20から与えられる水平同期信号HSYNCおよび垂直同期信号VSYNCに従って、この復号化ユニット10の復号処理開始タイミングを決定するピクチャ同期信号PSYNCを生成して復号化ユニット10へ与える。この制御ユニット14からのピクチャ同期信号PSYNCが1枚の画像（ピクチャ；以下の説明においてはフレームと想定する）の復号期間を決定する。水平同期信号HSYNCは、表示装置22における画素データ表示時に用いられる1水平期間（1画素ラインの画素データ表示に要する期間）を決定し、垂直同期信号VSYNCは1フィールドの画素データを表示装置22に表示する期間を決定する。

#### 【0058】

復号化ユニット10と記憶装置12の間にメモリインタフェースユニット16が配置され、メモリインタフェースユニット16と表示装置22の間に表示インタフェース18が配置される。メモリインタフェースユニット16は、制御ユニット14の制御のもとに、この記憶装置12に対するデータ書込アドレスおよびデータ読出アドレスを生成し、かつこの記憶装置12と復号化ユニット10の間または記憶装置12と表示インタフェース18との間にデータ伝送経路を確立する。表示インタフェース18は、表示装置22における画素データの表示速度に従ってこのメモリインタフェースユニット16から与えられた画素データを順次出力する。

#### 【0059】



記憶装置12は、それぞれ別々にアクセス可能であるバンク#1(32)、バンク#2(34)およびバンク#3(36)を含む。バンク#1、#2(32, 34)は、Iピクチャ(フレーム)またはPピクチャの画素データを格納するために用いられる。バンク#3(36)はBピクチャの画素データを格納するために用いられる。バンク#1~#3(32~36)の各々は、それぞれ1フレームの画素データを格納する記憶容量を備え、たとえばDRAM(ダイナミック・ランダム・アクセス・メモリ)で構成される。

【0060】

図2はピクチャ(フレーム)の表示順序および復号順序の一例を示す図である。図2(A)に示すように、ピクチャ(以下フレームと称す)は、BフレームB1、B2、IフレームI3、BフレームB4、B5、PフレームP6、BフレームB7、B8およびPフレームP9の順序で表示装置で表示される。

【0061】

フレームの復号順は、図2(B)に示すように、IフレームI3、BフレームB1、B2、PフレームP6、BフレームB4、B5、PフレームP9、BフレームB7、B8の順序である。このフレームの復号順序は、符号化データとして伝達されるフレームの伝送順と同じである。前述のごとく、Iフレームは他のフレームのデータを参照することなく符号化された画素データで構成されるフレームである。Pフレームは、時間的に前に位置する(過去の)IフレームまたはPフレームの画素データを用いて符号化された画素データで構成されるフレームである。Bフレームは本実施例では、時間的に前後に位置する(すなわち過去および未来)の2つのIフレームまたはPフレームの画素データを用いて符号化された画素データで構成されるフレームである。復号化時には、したがって未来のフレームの画素データを用いる必要があるため、この未来のフレームの画素データを先に復号化する必要がある。このためフレームの表示順序とフレームの復号順序(伝送されるフレームの順序)が異なっている。たとえばBフレームB4、B5は、表示順序においては、PフレームP6よりも先である。しかしながら、復号時には、PフレームP6よりも後にこれらのBフレームB4、B5が復号される。BフレームB4、B5を復号するためには、IフレームI3を

参照画像とする予測（前方向予測）とPフレームP6の画素データを用いた予測（後方向予測）が行なわれるためである。

【0062】

Bフレームは復号化時は参照画像としては用いられないため、単に表示のみが行なわれる。したがって図1に示す記憶装置12に含まれるバンク#3（36）は、復号データを表示するために必要とされる記憶領域であり、バンク#1（32）およびバンク#2（34）は復号処理のために最低限必要とされる記憶領域である。

【0063】

図3は、各フレーム単位で符号化されたフレーム構造を有する画像の画素データの配列を示す図である。フレーム構造を有する画像符号化データは、表示画面上奇数ライン上の画素データおよび偶数ライン上の画素データ両者を含む。奇数ライン上の画素データが奇数フィールドを構成し、偶数ライン上の画素データが偶数フィールドを構成する。

【0064】

図4は、この発明の第1の実施例におけるフレームの復号処理シーケンスおよび表示シーケンスを示す図である。図4においては、図2に示すフレームの順序でフレームの表示および復号が行なわれる。上述のごとく、各フレームは奇数フィールドおよび偶数フィールドを備えており、表示は奇数フィールドおよび偶数フィールドの順序で行なわれるノンインタレースの場合が一例として示される。

【0065】

まず、記憶装置12におけるバンク#1～#3（32，34，36）は、有効画素データを格納していない状態を初期状態と考える。画像符号化データが復号化ユニット10へ順次与えられ、制御ユニット14からのピクチャ同期信号P SYNCに同期して復号化ユニット10が各フレームの画素データの復号処理を実行する。図4に示す期間T1およびT2においてIフレームI3の画素データが復号され、その復号処理により復元された画素データがバンク#1（32）に格納される。1フレームは偶数フィールドおよび奇数フィールドで構成されており、したがってこのIフレームI3の復号処理には2フィールド期間T1および

T2が必要とされる。画像はフレームを単位として（フレーム構造で）符号化されているため、各フィールド期間T1およびT2それぞれにおいて、奇数フィールドの画素データおよび偶数フィールドの画素データがともにバンク#1の所定の領域へ書込まれる。1フレーム期間（2つのフィールド期間）はピクチャ同期信号PSYNCで決定される。フィールド期間は、表示制御装置20（図1参照）からの垂直同期信号VSYNC（および水平同期信号HSYNC）で決定される。

## 【0066】

フィールド期間T3が始まると、今度は、BフレームB1の復号処理が開始される。このBフレームB1の復号処理により得られた画素データはバンク#3（36）に格納される。期間T3が完了すると、BフレームB1の半分の画素データの復号が完了する。この期間T3において復号処理された画素データは奇数フィールドおよび偶数フィールド両者を含み、それぞれバンク#3（36）の奇数フィールド画素格納領域および偶数フィールド画素格納領域に格納される。

## 【0067】

フィールド期間T4においては、BフレームB1の残りの符号化画素データについての復号処理が行なわれ、この復号処理された画素データがバンク#3（36）の残りの記憶領域に格納される。このフィールド期間T4において同時にバンク#3（36）から奇数フィールドの画素データが読出され、メモリインタフェースユニット16および表示インタフェース18を介して表示装置22へ与えられてそこで表示される。

## 【0068】

符号化画素データの復号化処理速度と画素データの表示速度（または記憶装置12からの画素データ読出速度）とは同じである。すなわち、ピクチャ同期信号PSYNCが規定する1フレーム期間に1フレームの画素データが復号されて記憶装置12の対応のバンクに書込まれ、またこの1フレーム期間内に1フレームの画素データの表示（読出）が行なわれる。バンク#1（32）～バンク#3（36）としては、それぞれ互いに独立にアクセス可能な構成が利用されてもよい。またこれに代えて、記憶装置12としては、データ読出および書込の一方

のみが行なわれる構成が用いられてもよい。このような構成においては、復号処理のための参照フレーム（IフレームまたはPフレーム）の画素データの読出、復号後の画素データの記憶装置への書込および表示すべき画素データの読出が所定のシーケンスで1フレーム期間内に実行される。この場合、要求される条件は、1画素の符号化データが復号処理されて復元された画素データが得られる速度と表示のために画素データを記憶装置12から読出す速度（すなわち画素データの表示装置上の表示速度）が同じであるということである。

## 【0069】

すなわち、画素データが復号処理されて記憶装置12へ書込まれるのに要する平均時間と記憶装置12から読出されて表示装置22上に表示されるのに要する平均時間とが同じであるということである。以下の説明においては、これらの条件をすべて含んで、画素データの復号処理速度と画素データの表示速度が同じであると称す。

## 【0070】

フィールド期間T4においてBフレームB1の奇数フィールドの画素データが読出される。この間、BフレームB1の奇数フィールドも同様に復号されて記憶装置12のバンク#3へ書込まれる。画素データの復号処理速度および表示速度が同じであるため、後に詳細に説明するように、フィールド期間T4の最終時において、既にBフレームB1の最後の奇数画素ラインの復号処理は完了しており、バンク#3（36）に格納されている。したがって、正確に復号処理された画素データを読出して表示装置22に表示することができる。

## 【0071】

フィールド期間T5が始まると、次のBフレームB2の復号処理が開始される。このフィールド期間T5において、記憶装置12のバンク#3（36）からBフレームB1の偶数フィールドの画素データの読出および表示が行なわれる。フィールド期間T5の始めにおいて、バンク#3（36）に格納されている画素データはすべてBフレームB1の画素データであり、このBフレームB1の偶数フィールドの表示は正確に開始される。フィールド期間T5においてBフレームB2の画素データの復号処理が行なわれ、このBフレームB2の奇数フィールドお

よび偶数フィールドの画素データが順次バンク#3(36)に格納される。後に詳細に説明するが、このフィールド期間T5においてBフレームB2の画素データの復号はこのフレームB2の約半分までしか進行しないため、BフレームB1の偶数フィールドの画素データが表示装置へ読出される前に復号後のBフレームB2の画素データで書換えられるのを防止することができ、正確にこのBフレームB1の偶数フィールドの画素データの表示を行なうことができる。

## 【0072】

フィールド期間T6においては、BフレームB2の残りのフレームの画素データの復号処理が行なわれ、バンク#3(36)に格納される。このフィールド期間T6において、新たにBフレームB2の奇数フィールドの画素データの記憶装置12からの読出および表示装置22上での表示が行なわれる。フィールド期間T6の開始時において、BフレームB1の表示動作と同様に、BフレームB2の復号は既に約半分終了しており、この表示は正常に開始される。以降表示動作が進行し、フィールド期間T6の終了時において、BフレームB2の奇数フィールドの最終画素ラインの画素データの表示が実行される。このフィールド期間T6の終了時において、BフレームB2の復号処理は完了しているため、BフレームB2の奇数フィールドの最終画素ラインの画素データの表示は正確に実行される。

## 【0073】

フィールド期間T7が始まると、PフレームP6の復号処理が開始される。このPフレームP6の復号処理された画素データはバンク#2(34)へ格納される。これにより、それまで有効画素データを格納していなかったバンク#2(34)にPフレームP6の画素データが順次格納される。このフィールド期間T7において、BフレームB2の偶数フィールドの画素データの記憶装置12からの読出および表示装置22上の表示が行なわれる。画素データの書込が行なわれるバンクと画素データの読出が行なわれるバンクとは別々であり、したがってこの期間において画素データの上書きは生じない。

## 【0074】

フィールド期間T8においては、PフレームP6の残りの画素データの復号処

理が行なわれ、復号された画素データがバンク # 2 の残りの記憶領域へ格納される。このフィールド期間 T 8 においては、バンク # 1 に格納された I フレーム I 3 の画素データの読出および表示が行なわれる。この期間においても、画素データの読出が行なわれるバンクと画素データの書込が行なわれるバンクは別々であるため、表示動作は正確に実行される。

## 【0075】

フィールド期間 T 9 において、B フレーム B 4 のデータの復号および記憶装置への書込が行なわれる。このフィールド期間 T 9 においては、I フレーム I 3 の偶数フィールドの画素データの記憶装置 1 2 からの読出および表示装置 2 2 上での表示が行なわれる。このフィールド期間 T 9 においても、データの書込およびデータの読出が行なわれるバンクは別々であり、正確な表示および復号処理が実現される。このフィールド期間 T 9 において、書込結果に従ってバンク # 3 (36) の格納する B フレーム B 2 の画素データが順次 B フレーム B 4 の画素データで書換えられる。

## 【0076】

フィールド期間 T 10 が始まると、B フレーム B 4 の残りの画素データの復号処理および記憶装置への書込が行なわれ、これと並行して、B フレーム B 4 の奇数フィールドの画素データの読出および表示が行なわれる。このフィールド期間 T 10 における画素データの書込および読出は、フィールド期間 T 4 または T 6 のそれと同じであり、正確な復号および表示が行なわれる。

## 【0077】

フィールド期間 T 11 および T 12 において次の B フレーム B 5 の画素データの復号およびバンク # 3 (36) への格納が行なわれ、またフィールド期間 T 11 および T 12 それぞれにおいて、B フレーム B 4 の偶数フィールドおよび B フレーム B 5 の奇数フィールドの画素データの読出および表示が実行される。

## 【0078】

フィールド期間 T 13 が始まると、P フレーム P 9 の画素データの復号およびバンク # 1 (32) への格納が実行される。バンク # 1 (32) の格納する画素データが P フレーム P 9 の画素データで書換えられる。I フレーム I 3 の画素デ

ータは、BフレームB4およびB5の復号が完了するとさらに参照フレームとして用いられることはない。PフレームP9の参照フレームはPフレームP6であり、このPフレームP6の画素データはバンク#2(34)に格納されている。したがって、何ら問題を生じることなく正確な復号処理および表示動作を実行することができる。

【0079】

フィールド期間T14において、PフレームP6の奇数フィールドの画素データの読出および表示が行なわれ、並行してPフレームP9の残りの画素データの復号処理および書込が実行される。

【0080】

フィールド期間T15が始まると、BフレームB7の復号処理およびバンク#3(36)への格納が行なわれ、このとき、バンク#2(34)に格納されたPフレームP6の画素データのうち偶数フィールドの画素データの読出および表示が行なわれる。この間においても、データの書込が行なわれるバンクとデータの読出が行なわれるバンクは別々であり、画素データの上書きは防止される。

【0081】

フィールド期間T16において、BフレームB7の残りの画素データの復号およびバンク#3への格納が行なわれ、このときまたBフレームB7の奇数フィールドの読出および表示が実行される。

【0082】

上述のように、Bフレームの画素データは、記憶装置への書込と記憶装置からの読出の時間差が約1フィールド時間とされており、1フレームの画素データを格納する容量を備えるバンク#3(36)のみを用いてBフレームの画素データを用いても正常なBフレームの復号および表示を実現することができる。IフレームおよびPフレームに関しては、同一のバンクに対して画素データの書込と画素データの読出が同一フィールド期間内で行なわれることはなく、何ら問題は生じない。

【0083】

図5は、図1に示すバンク#3の記憶領域を概略的に示す図である。図5にお

いて、バンク # 3 (3 6) は、奇数フィールドの画素データを格納する奇数フィールド領域 3 6 a と、偶数フィールドの画素データを格納する偶数フィールド領域 3 6 b を含む。この奇数フィールド領域 3 6 a および偶数フィールド領域 3 6 b は、バンク # 3 のアドレス空間において上半分の領域および下半分の領域にそれぞれ分割されてもよい。またこれに代えて、奇数フィールド領域 3 6 a および偶数フィールド領域 3 6 b は、それぞれ 1 行おきに配置されてもよい（偶数画素ラインおよび奇数画素ラインそれぞれに対応する配置）。フレーム構造の場合、符号化画素データは奇数フィールドの画素データおよび偶数フィールドの画素データ両者を含む。したがって図 6 (A) に示すように、1 フレーム期間（2 フィールド期間で構成される）のはじめのフィールド期間において、奇数フィールド領域 3 6 a の上半分の領域 3 6 a a に奇数フィールドの画素データが格納され、また偶数フィールド領域 3 6 b の上半分の領域 3 6 b a に偶数フィールドの画素データの格納が行なわれる。

#### 【0084】

次のフィールド期間では、図 6 (B) に示すように、奇数フィールド領域 3 6 a の下半分領域 3 6 a b および偶数フィールド領域 3 6 b の下半分領域 3 6 b b に対し復号された画素データの格納が行なわれる。このとき、奇数フィールド領域 3 6 a の画素データの読出および表示が行なわれる。画素データの読出は、この奇数フィールド領域 3 6 a において 1 画素ラインずつ順次水平同期信号 HSYNC に同期して実行される。一方、この奇数フィールド領域 3 6 a の下半分の領域 3 6 a b においては、等価的に 2 水平走査期間（1 水平走査期間は 1 画素ラインの画素データをすべて表示するのに要する時間）ごとに 1 画素ラインの画素データの格納が行なわれる。

#### 【0085】

図 7 は、奇数フィールドの画素データの表示時における書込を受ける画素ラインと表示される画素ラインを示す図である。図 7 においては、奇数フィールドおよび偶数フィールドはそれぞれ L 画素ラインを有するものと仮定される。また記憶装置への画素データの書込みもラスタ走査順序に従って行なわれるとする。

#### 【0086】



図7 (A) に示すように、奇数フィールド領域36aの最終画素ラインLの画素データの格納時、この奇数フィールド領域36aの1行1画素ライン前の画素ラインL-1の画素データが読出されて表示装置22上に表示される。したがってこの状態においては、表示装置22上に表示される画素ラインL-1の画素データは既に復号化処理された画素データであり、正確な表示が行なわれる。表示速度と復号速度は同じである。したがって、この表示装置22上で画素ラインL-1の画素データが表示が完了すると、奇数フィールド領域36aにおいては、最終画素ラインLの画素データがすべて格納される。

【0087】

次の画素ライン表示期間においては、図7 (B) に示すように、バンク#3 (36) においては、偶数フィールド領域36bに対する最終画素ラインLの復元された画素データの書込が行なわれる。このときには、奇数フィールド領域36aの最終画素ラインLの画素データが読出されて表示装置22上で表示される。偶数フィールド領域36bへの最終画素ラインLの画素データの書込時においては、奇数フィールド領域36aに格納された最終画素ラインLの画素データは既に復号が完了している。したがってこの表示装置22上には、正確に、復号された奇数フィールドの最終画素ラインLの画素データが表示される。

【0088】

偶数フィールドの画素データ表示時においては、既にこの偶数フィールド領域36bに復号された画素データが格納されているため、正確に画素データの表示を行なうことができる。

【0089】

偶数フィールド領域36bの書込および読出が行なわれる場合 (期間T5) には、図8 (A) に示すように、偶数フィールド領域36bの第1行の画素データの表示装置22への表示時には、奇数フィールド領域36aの第1行の画素ラインの画素データの復号が行なわれる。したがって、この時においては、表示装置22には偶数フィールドの第1画素ラインの画素データが正確に表示される。次の画素ラインの表示期間においては、図8 (B) に示すように、偶数フィールド領域36bの第2行 (第2画素ライン) の画素データの読出が行なわれて表示装

置 22 で表示される。このとき、偶数フィールド領域 36b の第 1 行（第 1 画素ライン）の画素データの書込（格納）が行なわれる。したがって第 2 行の画素ラインの画素データは何ら復号後の画素データの上書きを受けることなく表示装置 22 で正確に表示することができる。

#### 【0090】

偶数フィールド領域 36b の画素ラインの書込速度は画素ラインの読出速度の  $1/2$  である。したがって、偶数フィールドの最終画素ライン L の表示時には、偶数フィールド 36b の上半分領域 36ba に対して次の B フレームの画素データが格納されているだけである。したがって偶数フィールドの画素データは何ら復号された画素データの影響を受けることなく正確に表示装置 22 に表示することができる。

#### 【0091】

この図 6 ないし図 8 の動作説明から明らかなように、I フレームと P フレームの間または P フレームの間に含まれる B フレームの数は 2 でなくそれ以上であっても各 B フレームの復号開始タイミングと表示開始タイミングが 1 フィールド期間の時間差を持っていれば、1 フレームの画素データの記憶容量を備えるバンク #3 を用いて同様に対処することができる。連続して与えられる B フレームの数は、予めシーケンスヘッダ領域に設定されるため、メモリインタフェースユニット 16 がこの復号化ユニット 10 で検出された B フレーム周期（連続して与えられる B フレームの数）情報に従って制御ユニット 14 の制御のもとに記憶装置 12 へのアクセスすべきバンクを指定し、必要なアドレス情報を発生する。

#### 【0092】

図 9 は、図 1 に示すメモリインタフェースユニットの構成を概略的に示す図である。図 9 において、記憶装置 12 が一般的なダイナミック・ランダム・アクセス・メモリを用いて構成される場合が一例として示される。図 9 において、メモリインタフェースユニット 16 は、図 1 に示す復号化ユニット 10 から与えられる動きベクトル情報 MV を受け、制御ユニット 14 の制御のもとに参照フレーム（マクロブロック）の画素を読出すためのアドレスを発生する参照フレームアドレス発生器 50 と、復号後の画素データ（復元画素）を書込むためのアドレスを

制御ユニット14の制御のもとに発生する復元画素アドレス発生器52と、制御ユニット14の制御のもとに、表示装置への表示のために画素データを読出すためのアドレスを発生する表示アドレス発生器54を含む。制御ユニット14は、図1に示す表示制御装置から与えられる水平同期信号HSYNCおよび垂直同期信号VSYNCを受け、復号化ユニット10に対しフレーム期間を規定するとともに画素復号開始タイミングを決定するピクチャ同期信号PSYNCを与える。制御ユニット14は、また復号化ユニット10から与えられるフレームタイプ情報およびBフレーム情報に従ってアドレス発生器50、52および54に対していずれのバンクを活性状態とすべきかを示す情報を与えるとともに、所定のシーケンスでこれらのアドレス発生器50、52および54を活性状態とする。フレームタイプ情報（データ構造情報）は、復号化されるフレームがIフレームであるか、PフレームであるかおよびBフレームであることを示す。Bフレーム周期情報は、連続して与えられるBフレームの数を示す。参照フレームアドレス発生器50は、バンク#1およびバンク#2（32，34：図1参照）に対してのみアドレスを発生する。アドレス発生器52および表示アドレス発生器54は、バンク#1～#3（32，34，36）に対するアドレスを発生する。これらのアドレス発生器50，52および54から発生されるアドレスは、記憶装置12のアドレスバスへ与えられる。このアドレスバスは記憶装置12に含まれるバンクを特定するためのバンクアドレスをも伝達する。

#### 【0093】

参照フレームアドレス発生器50は、制御ユニット14からのフレームタイプ情報がIフレームを示すときには、参照フレームアドレスは発生しない。復号されるフレームがPフレームの場合には、参照フレームアドレス発生器50は、バンク#1（32）またはバンク#2（34）に対し動きベクトルMBを考慮して読出アドレスを決定して決定した読出アドレスを記憶装置12のアドレスバス上へ伝達する。復元画素アドレス発生器52は、復元画素データがIフレームまたはPフレームの場合、バンク#1およびバンク#2をフレーム単位で交互に選択して書込アドレスを与える。復元画素データがBフレームの場合、復元画素アドレス発生器52は、バンク#3（36）に対し書込アドレスを与える。

## 【0094】

表示アドレス発生器54は、Bフレーム周期情報および／またはフレームタイプ情報に従って制御ユニット14の制御のもとに、バンク#1～#3(32, 34および36)に対し選択的に読出アドレスを発生する。この表示アドレス発生器54がバンクを活性状態としてアドレスを与えて画素データを読出すタイミングは、ピクチャ同期信号PSYNCに同期して画素データの復号が開始されるタイミングから約1フィールド時間遅延される。

## 【0095】

アドレスバス上でこれらのアドレス発生器50, 52および54のアドレスが競合しないように制御ユニット14がこれらのアドレス発生器50, 52および54のアドレス発生タイミングを調整するアービトレーション機能を備える。この記憶装置12へのアクセス競合を回避するためのアービタはまた別に設けられてもよい。

## 【0096】

以上のように、この発明の第1の実施例の構成に従えば、Bフレームの画素データの復号開始タイミングよりも約1フィールド時間遅らせてBフレームの画素データの読出および表示を行なっているため、Bフレームを格納するためのバンクを有効に利用することができ、Bフレームの画素データを格納するためのバンクの記憶容量を1フレームの画素データを格納する記憶容量にまで低減することができる。

## 【0097】

## 〔実施例2〕

図10は、図1に示す記憶装置に含まれるバンク#3の記憶画素データを表示画面上の配置に対応させて示す図である。図10においては、復号動作開始と表示開始とが同時に行なわれる状態が示される。また復号された画素データがマクロブロック単位で格納されるとききの記憶内容を示す。図10においては、一例として図4に示すフィールド期間T5におけるバンク#3の画素データの記憶状態を示す。このフィールド期間T5においては、バンク#3(36)に格納されたBフレームB1の偶数フィールドの画素データ(図において四角印で示す)の表

示と次のBフレームB2のフレーム画素データの書込が行なわれる。符号化処理は、マクロブロック（ブロック）単位で実行される。先の実施例1においては、記憶装置への復元画素データの書込はラスタ走査順序で行なわれるように説明している。復号処理も、この符号化処理に併せて（マクロ）ブロック単位で実行される。また、記憶装置への復元画素データの格納もマクロブロック単位で行なわれる。画素データの復号処理の進行速度と画素データの表示速度とはほぼ同じである。この場合、フレーム構造の画像データでは、復号および表示を同時に行なうと以下の問題が生じる。1マクロブロックMBa（ $16 \times 16 = 256$ 画素）の復号が終了したとき、表示においても、このBフレームB1の偶数フィールドの第256番目の画素（E）が表示されている。現行TV（NTSC方式）程度の解像度を有する場合、水平方向に配置される画素数は720である。したがってこのフィールド期間T4においてマクロブロックMBaの復号完了時において、表示画素（E）はBフレームB1の偶数フィールドの第1画素ライン上に存在する。一方、マクロブロックMBaは、フレーム構造の復号化画素データで構成されており、奇数フィールドおよび偶数フィールド両者の画素データを含んでいる。したがってこの状態においては、まだ表示されていないBフレームB1の偶数フィールドの画素データが次のBフレームB2のマクロブロックMBaの画素データで書換えられる。すなわち、図10においてマクロブロックMBaに含まれる偶数フィールドの画素データE17～E128はまだ表示されていないBフレームB1の画素データに上書きされていることになる。したがってフレーム構造の場合、画素データの復号開始タイミングと画素データの表示タイミングの時間差を正確に1フィールド時間とした場合、正確な画素データの読出が行なわれなくなるという懸念が生じる。

【0098】

図11は、この発明の第2の実施例である画像復号表示装置におけるフィールド期間T4におけるバンク#3における記憶画素データの状態を示す図である。図11に示すように、この発明の第2の実施例においては、符号化画素データの復号開始タイミングを1マクロブロックライン（水平方向に配置されるマクロブロックラインに含まれる画素の集合）の表示が終了した後に符号化画素データの

復号を開始するように設定する。この図11に示すように符号化画素データの復号開始タイミングを遅延させることにより、既に表示が行なわれた画素データに対して新たなマクロブロックM B aの画素データの上書きが行なわれる。したがって正常な画素データの表示を行なうことができる。

#### 【0099】

図12は、このBフレームの復号開始タイミングとBフレームの表示開始タイミングの関係を概略的に示す図である。図12において、フレーム期間を規定するピクチャ同期信号P SYNCのアサートに対し、1マクロブロックラインの画素データの表示期間に相当する期間T dだけフレームの復号開始タイミングを遅延させる。この図12において、BフレームB 1の復号終了時点は、Bフレームの表示速度と復号速度が同じ場合、次のフレーム期間まで延びることが考えられる。しかしながら、通常、たとえば図3のシーケンスにおいて示すように、1フィールド期間よりも短い期間内で各フレーム画素データの復号処理は完了している。データ情報の解析等に要する期間が存在するとともに、記憶装置がD R A Mの場合リフレッシュを行なうための時間が必要とされるためである。したがって、図12に示すように、Bフレームの復号開始タイミングが遅らされても、このフレーム期間内においてBフレームB 1の復号動作は完了する。1フレーム期間内において1フレームの画素データの復号および書込が行なわれ、また1フレームが規定する期間内においてこの1フレームの画素データの読出および表示が行なわれる。この状態が復号速度と表示速度が等しいと称される。

#### 【0100】

図13は、この図12に示すタイミング関係を実現するための構成を概略的に示す図である。図13に示す構成においては、制御ユニット14から出力されるピクチャ同期信号P SYNCを1マクロブロックラインの画素データの表示期間に相当する期間遅延させる遅延回路60が設けられる。この遅延回路60から図1に示すピクチャ同期信号P SYNCに相当する復号開始指示信号が復号化ユニット10へ与えられる。制御ユニット14は、表示制御装置（図1参照）からの垂直同期信号V SYNCおよび水平同期信号H SYNCに同期してピクチャ同期信号P SYNCを出力する。表示において各表示画素データの出力タイミ

ングを変更するのが一般に困難である。なぜならば、通常、表示画素データの出力タイミングは外部に設けられた表示制御装置から出力される垂直同期信号VSYNCおよび水平同期信号HSYNCに従って決定されるためである。この遅延回路60を設けることにより、この遅延時間Td分、各フレームの復号開始時期を容易に遅延させることができる。重ね書きの生じる可能性のあるフレームに対してのみ復号開始が遅らされてもよい。

#### 【0101】

図14は、この発明の第2の実施例の他の構成を示す図である。図14に示す構成においては、記憶装置12のデータ出力部と表示装置22（出力ポート）の間にバッファ70が配置される。このバッファ70は図1に示す表示インタフェース18に含まれてもよい。このメモリでたとえば構成されるバッファ70は、1マクロブロックラインの画素データを格納する（表示装置22の表示速度でその格納画素データを入出力する場合）。バッファ70は、ファーストイン・ファーストアウトメモリの構成を備え、格納された順に画素データを順次表示装置22へ出力する。

#### 【0102】

図15は、この図14に示す構成の表示装置22上に表示されるフレームと記憶装置12から読出される画素データおよびバッファ70のデータの出力タイミングとを示す図である。バッファ70から出力される画素データは表示装置22における表示画素と同じである。このバッファ70からの画素データの出力タイミングは図示しない表示制御装置から与えられる垂直同期信号VSYNCおよび水平同期信号HSYNCにより決定される。ピクチャ同期信号PSYNCに同期して、Bフレームの画素データの復号が開始される。このピクチャ同期信号PSYNCのアサートから1フィールド期間経過すると、バッファ70からこのBフレームの奇数フィールドおよび偶数フィールドの画素データが順次フィールド単位で読出される。この表示開始に同期してバッファ70から画素データを出力するために記憶装置12からはこのバッファが有する遅延時間分早いタイミングで画素データの読出が行なわれ、読出された画素データがバッファ70へ格納される。したがって、記憶装置12からの画素データの読出タイミングがバッファ

ァ70が有する遅延時間だけ早くされたため、等価的にBフレームの復号開始タイミングが遅くされたことに対応する。これにより、図13に示す遅延回路60を用いる場合と同様の効果を実現することができる。

【0103】

なおこの図14に示す記憶装置12と表示装置22の間にバッファメモリ70を設ける構成と図13に示すピクチャ同期信号P SYNCを遅延回路60で遅延させる構成は組合せて用いられてもよい。この遅延回路60とバッファ70と組合せて用いる場合、バッファ70の記憶容量を小さくすることができる。

【0104】

なお、このバッファ70は、復号化ユニット10からの復元された画素データを記憶装置12へ読出す経路に設けられ、記憶装置12への重ね書きする可能性のあるBフレームに対してのみその復元された画像データの書込が遅延される構成が用いられてもよい。Bフレームが重ね書きする可能性のある場合には、バッファメモリを通し、その可能性のない場合（先頭のBフレームの場合）にはこのバッファメモリを短絡する構成が用いられてもよい。

【0105】

以上のように、この発明の第2の実施例の構成に従えば、フレームの復号開始タイミングをさらに1マクロブロックラインの画素データの表示期間1フィールド期間よりも遅らせるように構成したため、Bフレームのフィールドが偶数フィールドおよび奇数フィールドいずれの場合であっても画素データの重ね書きを防止して正確な画素データの表示を行なうことができる。

【0106】

〔実施例3〕

現行のNTSC方式のTVにおいては、1秒あたり60フィールド（=30フレーム）の表示が行なわれる。これに対して、映画のフィルムの場合、表示速度は24フレーム/秒である。したがって映画をTVに表示する場合には、1秒あたりのフレーム数（フレームレート）の変換が必要となる。一般に、このフレームレートの変換には、3:2プルダウンという方法が用いられている。

【0107】



図16は、一般に用いられる3:2プルダウン方法に従うフレームレート変換の手法を示す図である。図16(A)に示すように、連続する映画フィルムF1、F2、F3…は1/24秒の周期を備える。この映画フィルムF1、F2、F3…をTVの表示画像の2フィールド、3フィールド、2フィールドと交互に対応させる。すなわちフィルムF1のフレーム画像は2フィールド時間（1フィールド時間=1/60秒）表示され、フィルムF2の画像は3フィールド時間表示され、フィルムF3の画像は2フィールド時間表示される。映画フィルムの1フレームがTV画像の2フィールドおよび3フィールドに交互に対応される。したがって、映画フィルムの2フレームがTV画像の5フィールドに対応するため、映画フィルムの24フレームがTV画像の60フィールドに対応し、所望のフレームレートの変換が実現される。

【0108】

図17は、この発明の第3の実施例である画像の表示装置における3:2プルダウン変換機能を実現するための動作シーケンスを示す図である。この図17に示すフレームは、先の第1の実施例において示したものと同一順序で復号されかつ同一順序で表示される。この図17に示す動作シーケンスにおいては、あるフレームにおいて最後に表示されるべきフィールドの表示と同期して次のフレームの復号が開始される。あるフレームの最後に表示されるフィールドの画素データが少なくとも2回読出される画素データの場合、それに先行する1フィールド期間フレームの復号動作は停止される。1フィールド期間復号動作を停止させることにより、Bフレーム格納のためのバンク#3（図1参照）における画素データの重ね書きが防止される。以下、図17を参照してフレームレート変換動作について説明する。

【0109】

フィールド期間T1およびT2においては、IフレームI3の復号が行なわれ、バンク#1へ復号後の画素データの書込が行なわれる。

フィールド期間T3およびT4においてBフレームB1の復号処理が行なわれ、復号後の画素データのバンク#3への書込が実行される。次のフィールド期間T5においてBフレームB1の偶数フィールドの読出および表示が行なわれる。

このBフレームB 1は3フィールド期間表示されるフレームであり、期間T 6においてバンク# 3から再びBフレームB 1の奇数フィールドの画素データが読出されて表示される。このBフレームB 1の奇数フィールドはBフレームB 1の最後に表示されるべきフィールドであり、かつ2回目の表示が行なわれている。したがってこれに先行する1フィールド期間T 5においては復号処理は実行されない。このフィールド期間T 5において復号処理動作を停止させることによりバンク# 3における次のBフレームB 2による重ね書きが防止される。この期間T 6におけるBフレームB 1の最後に表示されるべきフィールドすなわち奇数フィールドの表示開始と同期して次のフレームすなわちBフレームB 2の復号処理が開始される。このときBフレームB 1の奇数フィールドの画素データはすべて復号された画素データであり、BフレームB 2の画素データがバンク# 3に書込まれても奇数フィールド領域における画素ラインに関する読出速度が書込速度よりも速いため、何らこのBフレームB 2の画素データの書込の影響を受けることなく正確にBフレームB 1の奇数フィールドの画素データの読出および表示を行なうことができる（図4のフィールド期間T 5参照）。画像データがブロック（マクロブロック）単位で復号処理されて書込まれる場合、確実に重ね書きを防止するためには、先の図11ないし図15に示す遅延を与える構成が用いられればよい。

#### 【0110】

このBフレームB 2は2フィールド期間表示されるフレームである。したがってこのBフレームB 2がフィールド期間T 7からその偶数フィールドの画素データが読出かつ表示され、フィールド期間T 8においてその奇数フィールドの画素データの表示が行なわれる。BフレームB 2の表示されるべきフィールドがフィールド期間T 8において最終フィールドであるため、次のフレームすなわちPフレームP 6の復号がこのフィールド期間T 8において実施される。

#### 【0111】

フィールド期間T 9においては、表示順序に従って既に復号処理されたIフレームI 3が3フィールド期間表示される。IフレームI 3の表示においても、最後に表示されるフィールド、すなわちIフレームI 3の偶数フィールドの表示期

間T11に先行する1フィールド期間T10の間復号処理は停止される。この期間T11においてIフレームI3の偶数フィールドの読出および表示が行なわれるとき、このフィールド期間T11において次のBフレームB4の復号が開始される。以降同様の動作が繰返される。すなわち、フィールド期間T12およびT13においてBフレームB4の奇数フィールドおよび偶数フィールドの画素データがそれぞれ順次読出されて表示される。次のBフレームB5は3フィールド期間表示されるフレームであり、フィールド期間T14ないしT16においてそれぞれ奇数フィールド、偶数フィールド、奇数フィールドの順で順次画素データが読出されて表示される。フィールド期間T15においては復号処理は行なわれない。

#### 【0112】

上述のように、4フィールドごと（2フレームごと）に1フィールド期間復号処理を停止させることにより、1フィールド期間余分に表示する期間を復号処理動作時に確保することができ、復号処理速度と表示速度とを等価的に等しくすることができ、正確なフレームレート変換を行なって画像の復号および表示を行なうことができる。表示フレームにおいては奇数フィールド、偶数フィールドが交互に表われる。したがって偶数フィールドが連続して表示されることがなく、画像品質の劣化が防止される。また、Bフレームについては、その復号開始と表示開始が1フィールド期間時間差を持っているため、先の実施例1および2と同様1フレームの記憶容量を備えるバンク#3を用いて重ね書きを防止して画像データの格納および表示を行なうことができる。

#### 【0113】

図18は、この第3の実施例に用いられる画像復号表示装置の制御部の構成を概略的に示す図である。この図18に示す制御部の構成においては、制御ユニット140は、先に示した図9の構成に加えて、さらに復号化ユニット10から与えられるプルダウン変換情報を受ける。このプルダウン変換情報は、たとえばフレーム（ピクチャ）ヘッダ領域に格納されており、復号化ユニット10がこのフレーム（ピクチャ）ヘッダを解析して、抽出したプルダウン変換情報を制御ユニット140へ与える。このプルダウン変換情報は、対応のフレームの表示期

間（2フィールドまたは3フィールド）を指定する。制御ユニット140は、この復号化ユニット10から与えられるフレームタイプ情報（データ構造情報）、およびプルダウン変換情報に従って参照フレームの参照画素のアドレスを発生する参照フレームアドレス発生器50、復元画素の格納（書込）アドレスを発生する復元画素アドレス発生器52および表示画素のアドレスを発生する表示アドレス発生器154の動作を制御する。参照フレームアドレス発生器50および復元画素アドレス発生器52は、先の図9に示す構成と同じである。表示アドレス発生器154は、この制御ユニット140の制御のもとに、3フィールド、2フィールド、3フィールド、…の間同一バンクがアクセスされるようにアドレスを発生する。このときまだ表示アドレス発生器154は、奇数フィールド、および偶数フィールドの画素データが各フィールド期間ごとに交互に読出されるようにその表示アドレスを変換する。このアドレスの変換機能は、制御ユニット140がプルダウン変換情報に従ってフィールド特定アドレスを表示アドレス発生器154へ与えるように実現されてもよい。参照フレームアドレス発生器50および復元画素アドレス発生器52は、4フィールドおきに1フィールド期間その動作が停止される（復号処理動作がこのフィールド期間行なわれないためである）。

#### 【0114】

なお、プルダウン変換情報はフレーム（ピクチャ）ヘッダに含まれており、これを抽出してプルダウン変換するように上記実施例においては説明している。しかしながら、ユーザが装置に固定的に設定してもよく、また外部の図示しない装置からこのプルダウン変換情報が与えられるように構成されてもよい。

#### 【0115】

以上のように、この発明の第3の実施例の構成に従えば、Bフレームの画素データの復号開始と表示開始を1フィールド期間ずらせる動作を基本動作として、あるフレームの最後に表示されるべきフィールドの画素データの表示動作開始に同期して次のフレームの復号処理を開始するように構成しているため、たとえば3:2プルダウンなどのプルダウン変換を何らBフレームの格納用のバンクの記憶容量を増加させることなく容易に実現することができる。

#### 【0116】

## 〔実施例4〕

図19および20は、フィールド構造を有する符号化画素データのマクロブロックを示す図である。図19には奇数フィールドの画素（白丸印で示す）で構成されるマクロブロックMB<sub>o</sub>を示す。図20には偶数フィールドの画素（四角印で示す）で構成されるマクロブロックMB<sub>e</sub>を示す。フィールド構造の場合、奇数フィールドはマクロブロックMB<sub>o</sub>のみで構成され、偶数フィールドはマクロブロックMB<sub>e</sub>のみで構成される。このようなフィールド構造画像データの場合、先のフレーム構造の画像データと異なり、奇数フィールドの画素データのみおよび偶数フィールドの画素データのみがそれぞれ各フィールド期間において伝達されて復号される。

## 【0117】

図21は、この発明の第4の実施例の画像復号表示装置の動作を示す図である。この図21に示す動作シーケンス図において、復号および表示されるフレームの順序は先の第1ないし第2の実施例と同じである。図21に示すように、フィールド構造で（予測）符号化された画像データの場合、奇数フィールドの画素データと偶数フィールドの画素データとはそれぞれ別々の期間に伝送されて復号処理が行なわれる。したがって、各フィールド期間において偶数フィールドまたは奇数フィールドの1フィールドの画素データの復号処理が行なわれる。このような復号処理においても、Bフレームの画素データに関して、フレームの復号開始と表示開始とを1フィールド期間ずらせることにより、Bフレームの画像データ格納のためのバンクの容量は1フレームの画素データを格納する記憶容量で十分である。

すなわち、図22（A）に示すように、Bフレームの最初のフィールド期間、奇数フィールドの画素データのみが復号処理され、バンク#3（36）の奇数フィールド領域36aに対して画素データの格納が行なわれる。次のフィールド期間、図22（B）に示すように、奇数フィールド領域36aに格納された画素データが読出されて表示される。一方、この奇数フィールド領域36aと全く領域の異なる偶数フィールド領域36bに対し画素データの書込が行なわれる。したがってこの期間において何ら画素データの上書きが生じず、正確な復号動作およ

び表示動作を保証することができる。

【0118】

さらに次のフィールド期間においては、図22(C)に示すように、次のBフレーム（たとえばB2）の奇数フィールドの画素データが奇数フィールド領域36aに書込まれ、一方、このときには偶数フィールド領域36bに書込まれた先行するBフレーム（たとえばB1）の偶数フィールドの画素データが読出されて表示される。したがって、この場合においても何ら画素データの上書きは生じず、正確な復号および表示を行なうことができる。

【0119】

この第4の実施例に示すように、画像データがフィールド単位で符号化されている場合、バンク#3においてデータ書込とデータ読出が行なわれる領域が完全に分離されているため、復号開始タイミングおよび表示開始タイミングの間に図11、図12および図15に示すような遅延を設ける必要はない。したがって、画像データがフィールド予測符号化方式で符号化されてフィールド単位で復号処理される場合においては、図13および図14に示すような遅延手段を何ら設ける必要はない。

【0120】

[変更例]

図23は、この発明の第4の実施例の変更例の構成を示す図である。図23においては、制御ユニット14aから出力されるピクチャ同期信号PSYNCを所定時間遅延させる遅延回路60の出力部に、制御ユニット14aからの遅延切換信号φSDに応答してこの遅延回路60の与える遅延を選択的に無効化する切換回路80が設けられる。この図23に示す遅延回路60は先の図13に示す遅延回路60と等価である。制御ユニット14aは、表示制御装置から与えられる水平同期信号HSYNCおよび垂直同期信号VSYNCに従ってピクチャ同期信号PSYNCを出力する。

【0121】

この制御ユニット14aは、さらに、図示しない復号化ユニットから与えられるデータ構造情報（シーケンスヘッダにたとえば含まれる）を受け、符号化すべ

き画像がフレーム単位で与えられている（フレーム構造の画像）かまたはフィールド単位で与えられている（フィールド構造の画像）かのいずれであるかを判別し、その判別結果に従って遅延切換信号 $\phi$ SDの論理レベルを設定して出力する。

#### 【0122】

遅延切換回路80は、この制御ユニット14aからの信号 $\phi$ SDに応答してピクチャ同期信号PSYNCと、遅延回路60の出力信号の一方を選択的に通過させるセレクタで構成される。遅延切換信号 $\phi$ SDは2値信号であり、データ構造情報がフレーム構造を示す場合には、信号 $\phi$ SDがたとえば論理ローレベルとされ、遅延回路60の出力信号を選択する。これにより、遅延回路60が有効に機能し、ピクチャ同期信号PSYNCが所定時間遅延されて復号開始指示信号として出力される。一方、データ構造情報がフィールド構造を示すとき、信号 $\phi$ SDはたとえば論理ハイレベルとされ、制御ユニット14aの出力信号PSYNCを選択する状態に設定される。この状態においては、遅延回路60は、実効的に非活性状態とされ、その遅延機能が無効化される。制御ユニット14aからのピクチャ同期信号PSYNCがトランスファゲート82を介して復号開始指示信号として伝達される。

#### 【0123】

この図23に示す構成を用いれば、制御ユニット14aの制御のもとに、復号開始タイミングを表示開始タイミングと同期させるかまたはそれよりも遅延させるかのいずれかの状態を設定することができる。したがって1つの装置により、フィールド構造画像およびフレーム構造画像いずれにも対応することが可能となり、汎用性の高い画像復号表示装置を実現することができる。

#### 【0124】

なお、この遅延切換回路80に含まれるセレクタは、その信号を通過させる機能を機能的に表現しているだけであり、任意の回路構成が用いられてもよい。すなわち、フレーム構造画像を復号処理して表示する場合には、遅延回路60が与える遅延が有効とされ、フィールド構造画像を復号処理しかつ表示する場合には、この遅延回路60が与える遅延が無効状態とされる構成が用いられればよい。

## 【0125】

図24は、第4の実施例の変更例の他の構成を示す図である。図24に示す構成においては、バッファメモリ70と並列に、制御ユニット14bからの制御信号 $\phi Z$ に応答して、バッファメモリ70の信号伝播経路（入出力部）を短絡するセレクタで構成される遅延切換回路90が設けられる。制御ユニット14bは、データ構造情報がフレーム単位を示し、画像データがフレーム単位で与えられる場合には、制御信号 $\phi Z$ をたとえば論理ローレベルとして遅延切換回路90をバッファメモリ70の出力画素データ選択状態とし、かつイネーブル信号 $\phi EN$ を活性状態としてバッファメモリ70を作動状態とする。この状態においては、記憶装置12から読出されたデータは、バッファメモリ70で所定時間遅延された後に表示装置へ伝達される。したがってこの状態においては、バッファメモリ70が与える遅延時間だけ等価的に復号開始タイミングが遅延される。

## 【0126】

一方、制御ユニット14bは、データ構造情報がフィールド単位を示し、画像データがフィールド単位で与えられる場合には、制御信号 $\phi Z$ をたとえば論理ハイレベルとして遅延切換回路90を記憶装置12の出力画素データ選択状態とし、かつイネーブル信号 $\phi EN$ を非活性状態とし、バッファメモリ70を非活性状態とする。この状態においては、記憶装置12から読出された画素データは遅延切換回路90を介して表示装置へ伝達される。この状態においては、表示装置上での画素データの表示開始タイミングと復号化ユニットにおける復号処理開始タイミングとが同期している。

## 【0127】

この図24に示す構成を用いても、復号処理開始タイミングと画素データ表示開始タイミングとの時間差を画像の処理単位に応じて設定することができる。

## 【0128】

この図24に示す構成においても、遅延切換回路90を構成するセレクタは、与えられる画像データがフィールド単位の場合、バッファメモリ70が与える遅延を無効化する構成であれば、任意の構成を用いることができる。

## 【0129】



なお、図23および図24に示す遅延切換回路の選択経路は、ユーザが必要に応じて設定してもよく、また外部からの制御信号により設定されてもよい。

#### 【0130】

以上のように、この第4の実施例の構成に従えば、画像データがフィールド単位で与えられる場合には、復号処理開始タイミングと画素データ表示開始タイミングとの時間差を1フィールド時間に実質的に設定しているため、記憶装置からのデータ読出タイミングの設定が容易となり、制御が容易となる。また、画像の形式（フィールド単位またはフレーム単位）に応じて選択的に遅延手段の与える遅延を有効／無効としているため、複数の画像形式に対しても対応することのできる汎用性の高い画像復号表示装置を実現することができる。

#### 【0131】

##### 〔実施例5〕

図25は、この発明の第5の実施例である画像復号表示装置の全体の構成を概略的に示す図である。この図25に示す画像復号表示装置1は、制御ユニット14の制御のもとに水平同期信号H SYNCおよび垂直同期信号V SYNCを所定のタイミングで出力する表示制御装置20aを含む。他の構成は、先の図1に示す構成と同じであり、対応する部分には同一の参照番号を付す。以下、図26に示す動作フロー図を参照してこの図25に示す画像復号表示装置の動作について説明する。

#### 【0132】

まず、外部からたとえばユーザからの指令により表示装置に画像を表示する表示指示が与えられたか否かの判別が行なわれる（ステップS1）。この表示指示は、たとえばこの画像復号表示装置の電源投入であってもよい。また複数チャネルの画像情報が与えられる場合は、所望のチャネル選択情報であってもよい。

#### 【0133】

この表示指示が与えられると、制御ユニット14は所定の条件が成立した否かを判別する（ステップS2）。この所定の条件は、復号化ユニット10において、ビットストリームに含まれるヘッダ情報がすべて解析され、次に、符号化画素データの復号処理を行なう状態に到達したことおよび／または図示しないビット

ストリームに含まれる符号化データ（符号化画素データおよびヘッダ情報両者を含む）を格納するためのレートバッファに予め定められた量以上のデータが格納されたことなどがある。制御ユニット14は、所定の条件が設立すると、復号化ユニット10に対し、画素データ復号開始指示を与える。図25においては、ピクチャ同期信号PSYNCを復号化ユニット10に与えるように示される。このピクチャ同期信号は、先の実施例2ないし4に示す復号開始指示信号であってもよい（ステップS3）。

#### 【0134】

制御ユニット14は、この画素データ復号開始指示（たとえばピクチャ同期信号PSYNCのアサート）に従って、先の第1ないし第4の実施例において説明した所定のタイミングで表示動作を開始させるための表示開始指示信号を表示制御装置20aへ与える（ステップS4）。表示制御装置20aは、この表示開始指示が制御ユニット14から与えられると、所定のタイミングで水平同期信号HSYNCおよび垂直同期信号VSYNCを表示装置22へ与える。このとき、また制御ユニット14は、この垂直同期信号VSYNCのアサートに応答して、記憶装置12からの復元された画素データの表示動作を行なうための制御信号をメモリアンタフェースユニット16へ与える。以降、この表示制御装置20aは、最初に設定されたタイミングで水平同期信号HSYNCおよび垂直同期信号VSYNCをアサートする。メモリアンタフェースユニット16および表示インタフェース18は、制御ユニット14の制御のもとに、先の第1ないし第4の実施例において説明したのと同様のタイミングで記憶装置12から復元された画素データを読み出して表示装置22へ与える。これにより、表示装置22においては、水平同期信号HSYNCに同期して復元された画素データが順次表示される。

#### 【0135】

この図25に示す画像復号表示装置の構成においては、画像表示指示が与えられた初期化シーケンスにおいてピクチャ同期信号（または復号開始指示信号）と表示のための水平同期信号HSYNCおよび垂直同期信号VSYNCのタイミング関係が設定される。以降においては、このタイミング関係を維持して符号化画素データの復号および復元された画素データの表示が行なわれる。

## 【0136】

この第5の実施例に示すように、復号開始指示を基準として表示動作の開始タイミングを設定しても、先の実施例1ないし実施例4の構成と同様の効果を奏することができる。

## 【0137】

## 【発明の効果】

請求項1に係る画像復号表示装置においては、Bフレームの復号開始タイミングと表示開始タイミングとの間に実質的に1フィールド時間の時間差を設けたため、1フレームの画素データを格納する記憶容量を備えるフレームメモリを用いても、表示画素データが復元画素データで上書きされることがなく、正確に表示を行なうことができ、画像表示のために用いられる記憶装置の記憶容量を低減することができる。

## 【0138】

請求項2に係る画像復号表示装置においては、あるフレームの最後に表示されるべきフィールドの画素データの表示に同期して次のフレームの画素データの復号処理開始を行なっているため、最低1フィールドの時間差をもってBフレームの画素データの復号および表示を行なうことができ、表示のための記憶装置の記憶容量を低減して正確な画像の表示および復号を行なうことができる。また、3:2プルダウンなどのようなフレームレート変換時においても記憶容量を増加させることなく正確に対応することができる。

## 【0139】

請求項3に係る画像復号表示装置においては、与えられたプルダウン変換情報に従って記憶手段から所定数のフレームごとにフィールド単位で画素データが再度読出されるように読出手段を制御しかつこの記憶手段からあるフレームのうち最後に表示されるべきフィールドの画素データの表示装置への出力に応答して次のフレームの画素データの復号処理を開始しているため、プルダウン変換時においても、記憶手段の記憶容量を増加させることなく正確に、画像データの上書きを防止して復号および表示を行なうことができる。

## 【0140】

請求項4に係る画像復号表示装置においては、あるフレームの最後のフィールドの画素データが再度読出されて表示される場合には、先行する1フィールド時間復号処理動作を停止させているため、記憶手段の記憶容量を増加させることなく最後のフィールドの表示画素データの上書きを防止することができ、正確に3:2プルダウンなどの表示レート変換を行なうことができる。

## 【0141】

請求項5に係る画像復号表示装置においては、復号開始に同期して表示装置への画素データの出力タイミングを調整し、このタイミングがBピクチャに関しては1フィールドの画素データの表示に要する時間差を持たせるようにしているため、復号動作開始を基準としても、何らBピクチャ格納のための記憶装置の容量を増加させることなく、正確に復号および表示を行なうことができる。

## 【0142】

請求項6に係る画像復号表示装置においては、復号処理開始タイミングが、1マクロブロックラインの画素データの表示時間に要する時間だけさらに遅延されるため、フレーム構成を有しかつマクロブロック単位で復号処理される画像データの表示においても、表示前画素データが復号済の画素データで上書きされるのを防止することができ、正確な復号および表示を行なうことができる。

## 【0143】

請求項7に係る画像復号表示装置においては、復号処理開始タイミングの遅延を、記憶手段の出力部と表示装置との間にバッファメモリを設けて実現しているため、複雑なタイミング条件を考慮することなく容易に必要とされる遅延時間を実現することが可能となる。

## 【0144】

請求項8に係る画像復号表示装置においては、与えられる画像データがフィールド単位で与えられる場合には、この復号処理開始タイミングの1マクロブロックラインに相当する時間の遅延を無効とするように構成したため、与えられる画像データがフィールド単位およびフレーム単位のいずれで与えられる場合においても選択的にこの遅延時間の有効/無効により対応することができ、複数の画像形式に対応することのできる画像復号処理装置を実現することができる。

## 【0145】

請求項9に係る画像復号表示装置においては、与えられる画像データがフィールド単位で与えられる場合には、復号処理開始タイミングと表示開始タイミングとの時間差をほぼ1フィールド時間差としているため、記憶装置からの画像データの読出タイミングに複雑な調整を必要とすることがなく、データ表示のタイミング制御が容易となる。

## 【0146】

請求項10または11に係る画像復号表示装置においては、記憶手段に含まれるBフレームの画素データを格納するための記憶素子を、1フレームの画素データを格納する容量を備えるフレームメモリで構成したため、必要最小限の記憶容量を備える記憶装置で画像表示のための記憶手段を実現することができ、記憶装置の記憶容量を低減することができる。

## 【図面の簡単な説明】

【図1】 この発明に係る画像復号表示装置の全体の構成を概略的に示す図である。

【図2】 (A)はこの発明において用いられるフレームの表示順序の一例を示し、(B)は転送されるフレームの復号順序の一例を示す図である。

【図3】 フレーム符号化予測方式におけるマクロブロックの画素の構成の一例を示す図である。

【図4】 この発明の第1の実施例である画像復号表示装置の動作シーケンスを示す図である。

【図5】 図1に示すバンク#3の記憶領域を示す図である。

【図6】 図5に示す記憶装置における画素データの書込および読出領域を示す図である。

【図7】 図5に示す記憶装置における奇数フィールドの最終画素ラインにおける表示および復号態様を示す図である。

【図8】 図5に示す記憶装置における偶数フィールドの画素ラインにおける表示および書込態様を示す図である。

【図9】 図1に示すメモリインタフェースユニットの構成を概略的に示す

図である。

【図10】 フレーム単位画像の復号および表示画素の配置態様を示す図である。

【図11】 この発明の第2の実施例における画素データの復号および表示時における記憶装置の記憶内容の配置を示す図である。

【図12】 この発明の第2の実施例における復号処理開始および表示開始タイミングの関係を示す図である。

【図13】 図12に示す遅延時間を実現するための回路構成の一例を示す図である。

【図14】 図12に示すタイミング関係を実現するための他の構成を示す図である。

【図15】 図14に示す回路構成の動作タイミングを示す図である。

【図16】 3:2プルダウン手法を説明するための図である。

【図17】 この発明の第3の実施例である画像復号表示装置の動作シーケンスを示す図である。

【図18】 この発明の第3の実施例において用いられるメモリインタフェースユニットおよび制御ユニットの構成を概略的に示す図である。

【図19】 この発明の第4の実施例におけるフォールド予測方式のマクロブロックの構成を示す図である。

【図20】 この発明の第4の実施例において用いられるフィールド単位の画像（マクロブロック）の構成を例示的に示す図である。

【図21】 この発明の第4の実施例の画像復号表示装置の動作シーケンスを示す図である。

【図22】 この発明の第4の実施例におけるBフレームデータのアクセス態様を示す図である。

【図23】 この発明の第4の実施例の第1の変更例の構成を示す図である。

【図24】 この発明の第4の実施例の第2の変更例の構成を示す図である。

【図25】 この発明の第5の実施例に従う画像復号処理装置の全体の構成を概略的に示す図である。

【図26】 図25に示す画像復号表示装置の動作シーケンスを示すフロー図である。

【図27】 MPEGに従う画像予測符号化方式を説明するための図である。

【図28】 画像の構成を概略的に示す図である。

【図29】 画像データのシンタクスを説明するための図である。

【図30】 従来の画像復号表示装置の構成を概略的に示す図である。

【図31】 伝送される符号化データおよび画像の構成を示す図である。

【図32】 ノンインタレース方式での画像表示を説明するための図である。

【図33】 インタレース方式に従う画像表示を説明するための図である。

【図34】 従来の画像復号表示装置の構成を概略的に示す図である。

【図35】 図34に示す画像復号表示装置の動作シーケンスを示す図である。

#### 【符号の説明】

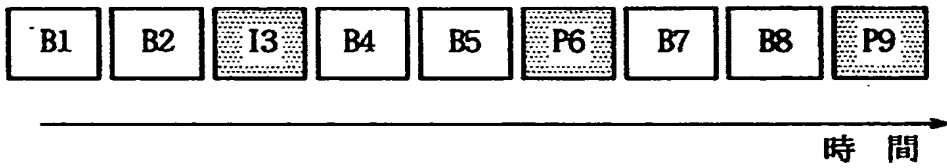
1 画像復号表示装置、10 復号化ユニット、12 記憶装置、14 制御ユニット、16 メモリインタフェースユニット、18 表示インタフェース、20, 120a 表示制御装置、22 表示装置、32, 34, 36 フレーム画素データ格納用バンク、60 遅延回路、70 バッファメモリ、80, 90 遅延切換回路、14a, 14b, 140 制御ユニット。



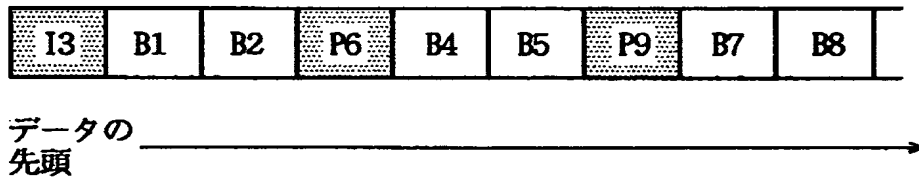


【図 2】

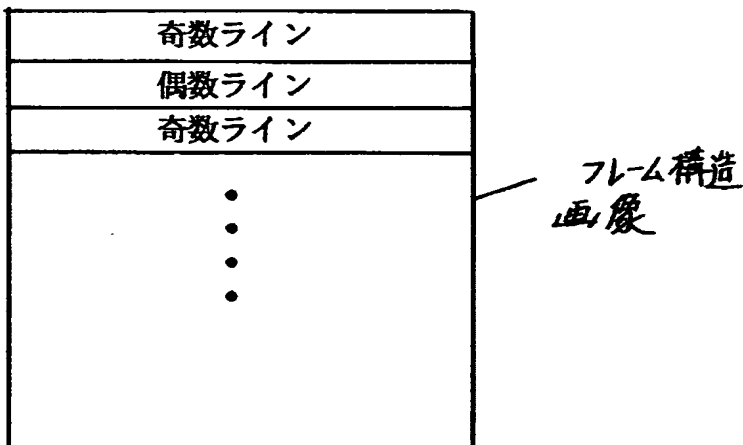
(A) 各フレームの表示順



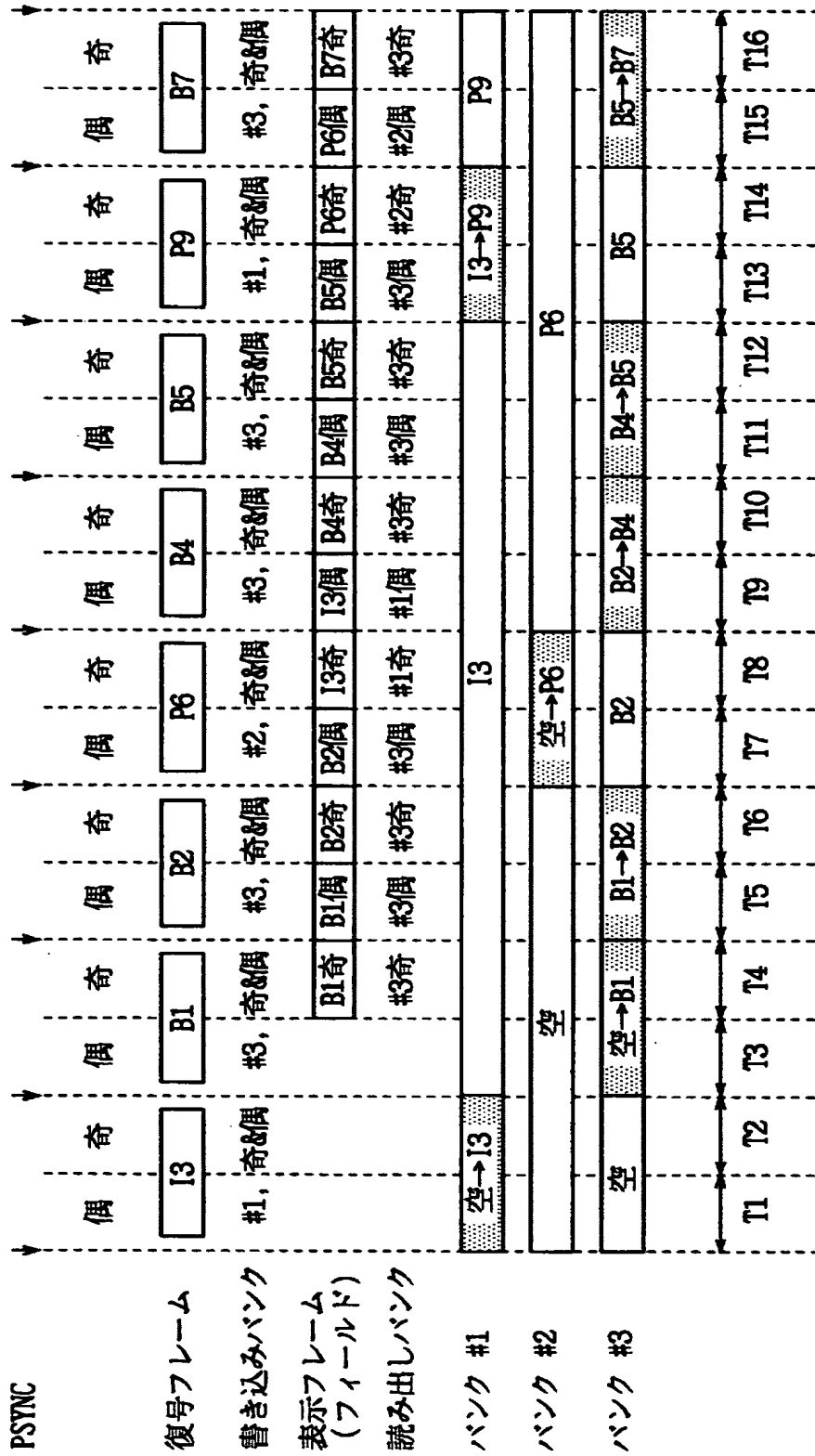
(B) 各フレームの復号順（符号化データ内での順番）



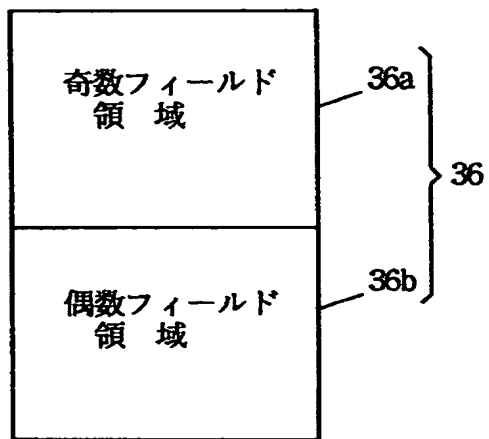
【図 3】



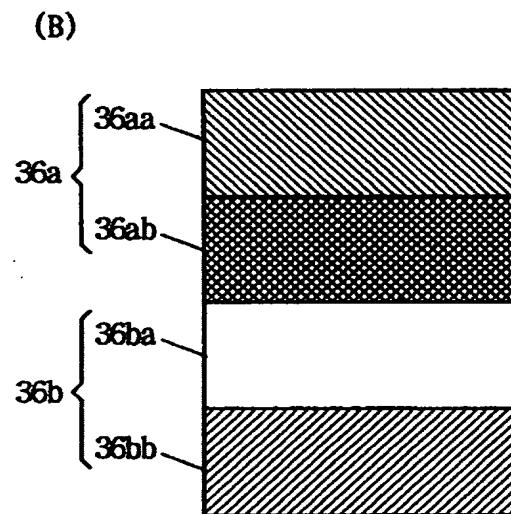
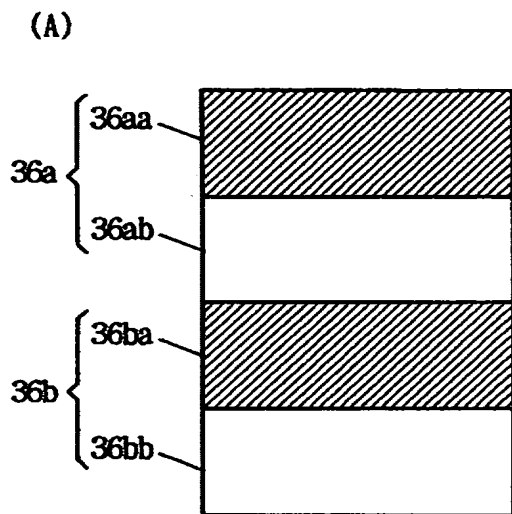
【図4】



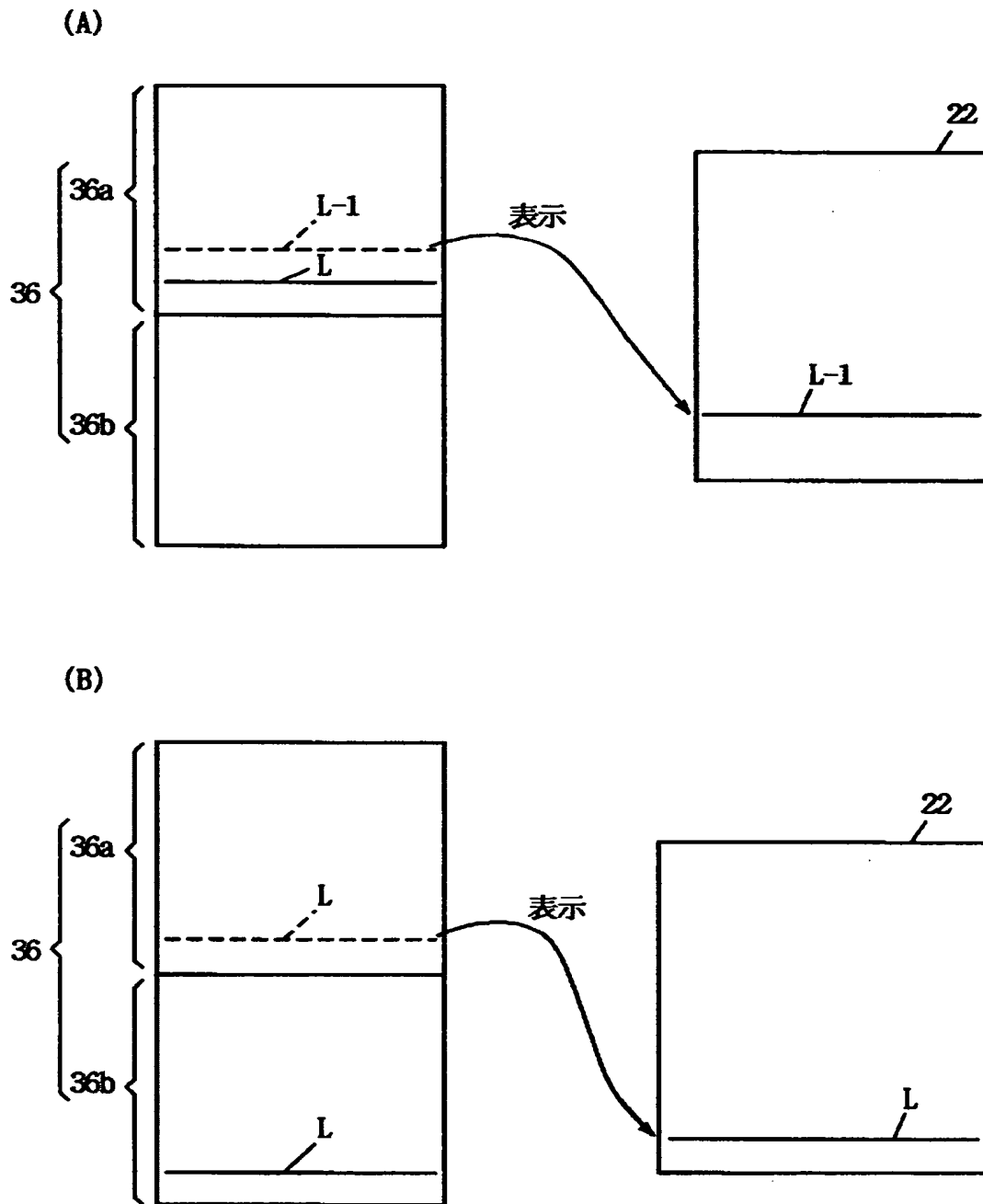
【図5】



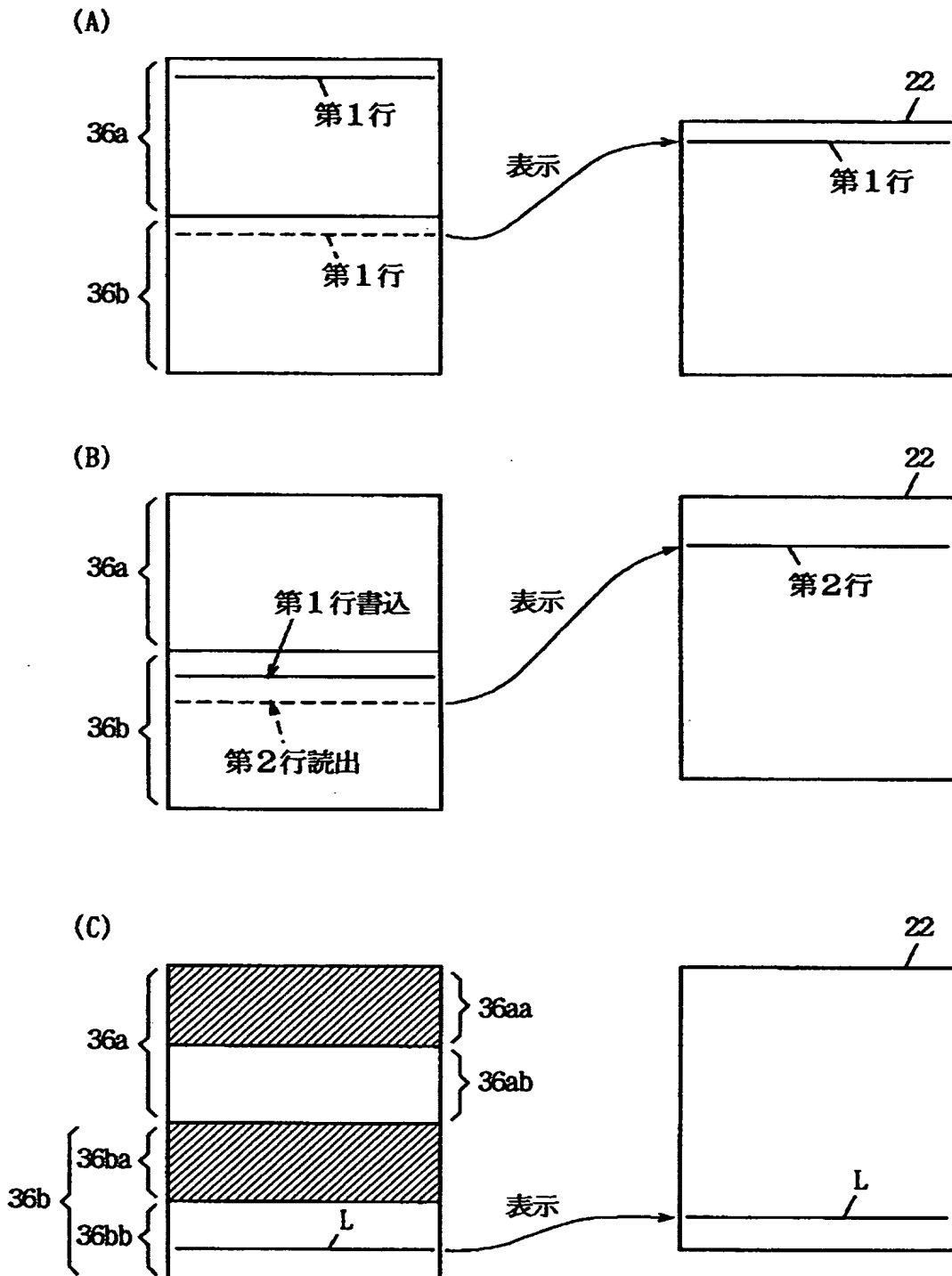
【図6】



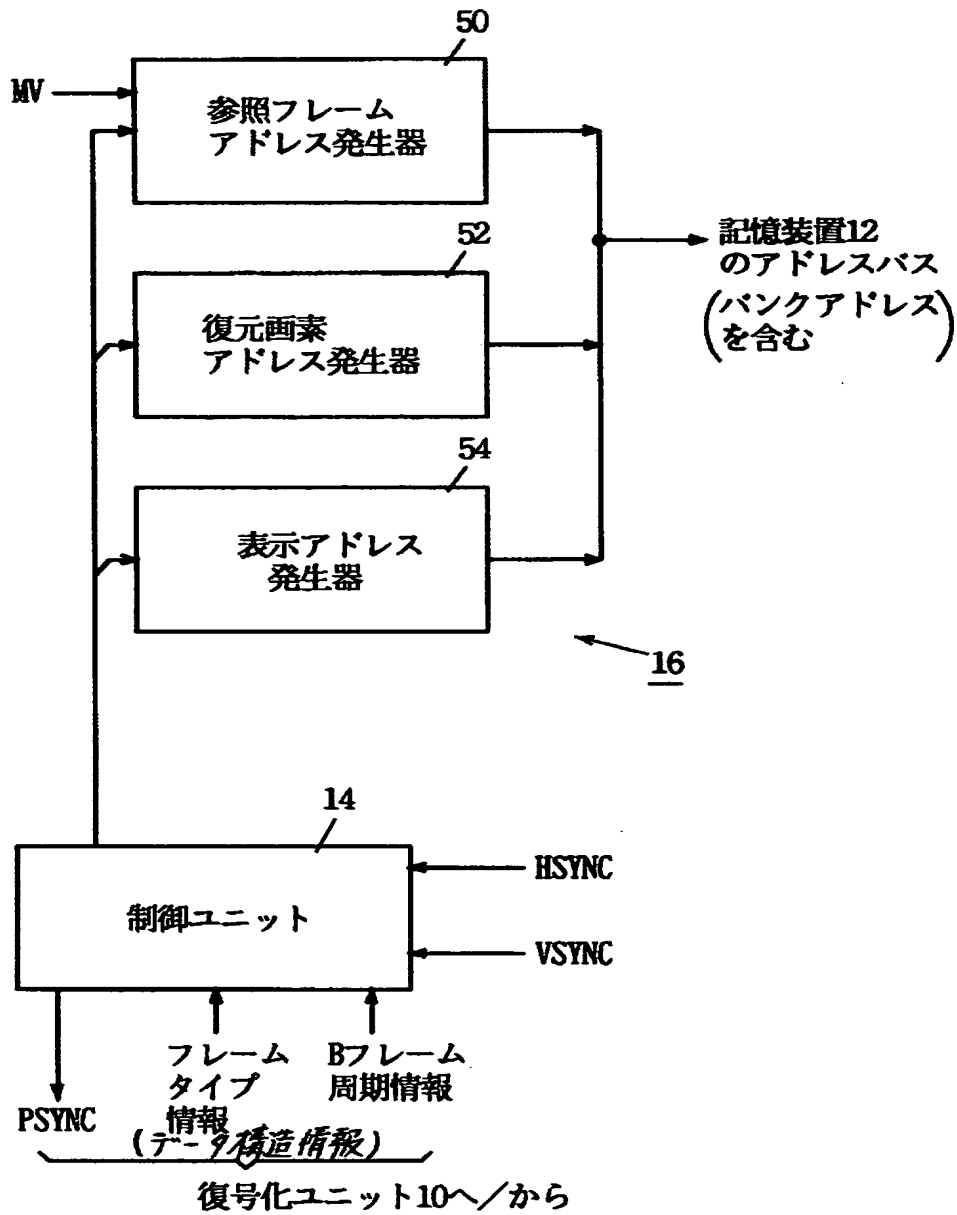
【図 7】



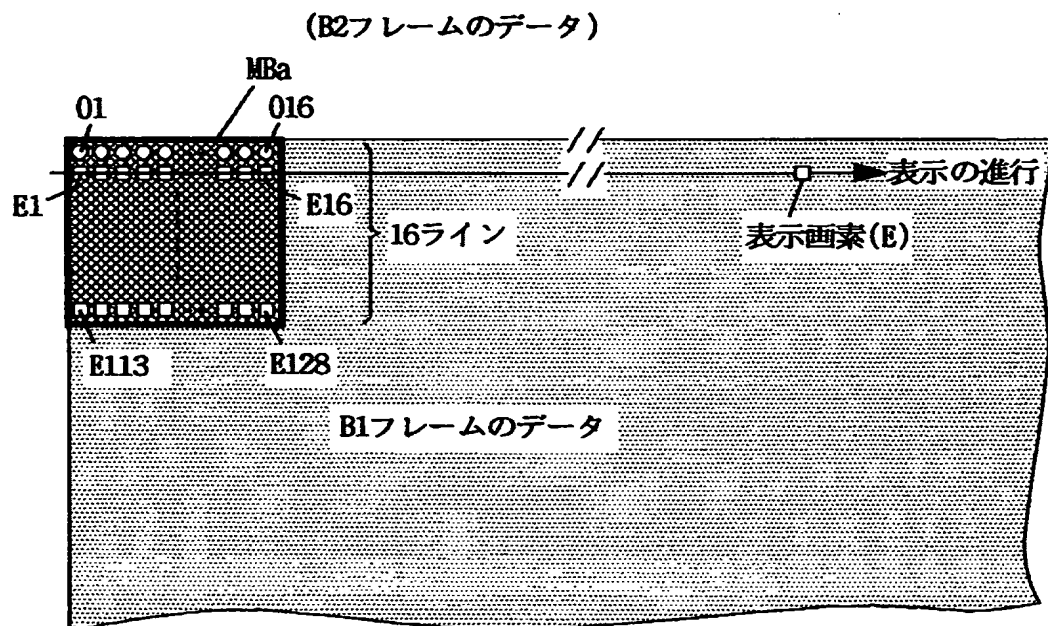
【図8】



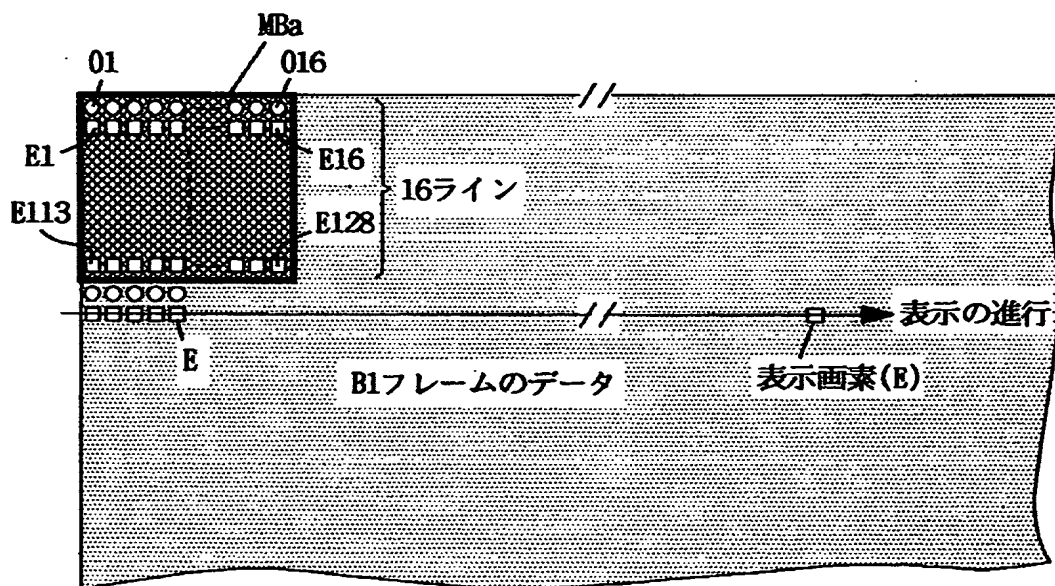
【図9】



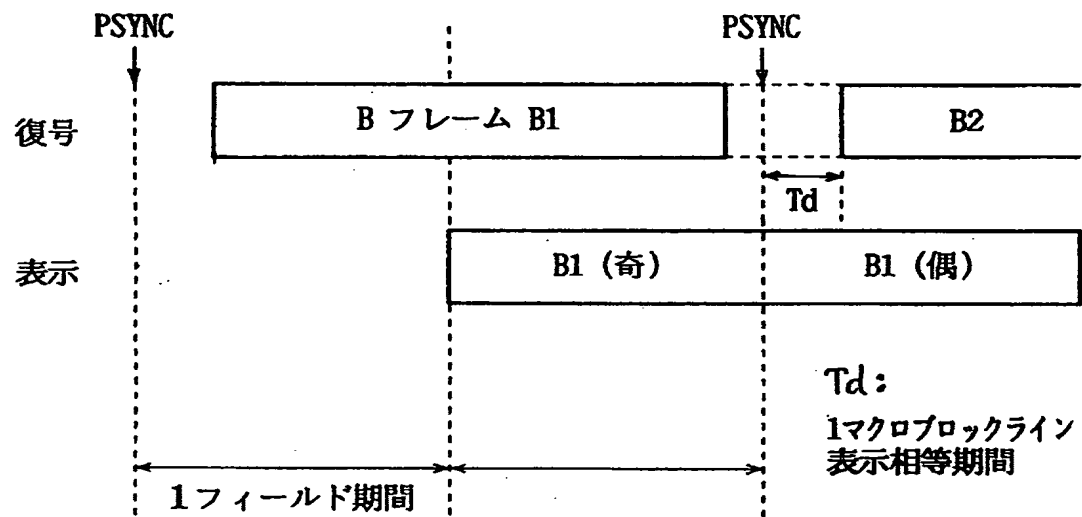
【図10】



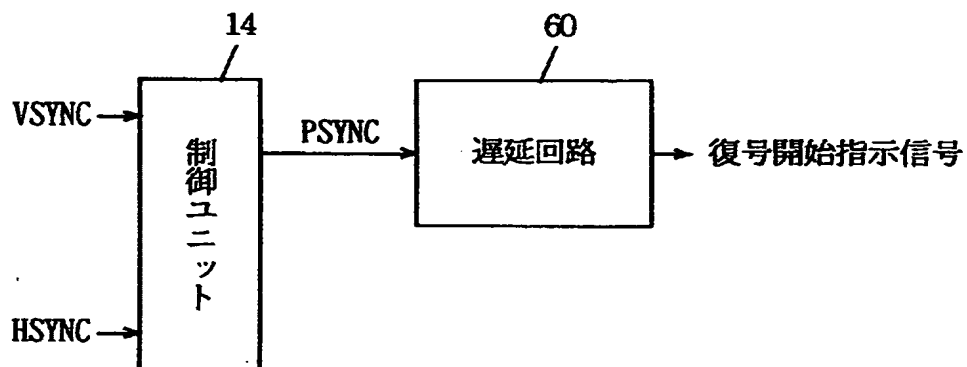
【図11】



【図12】

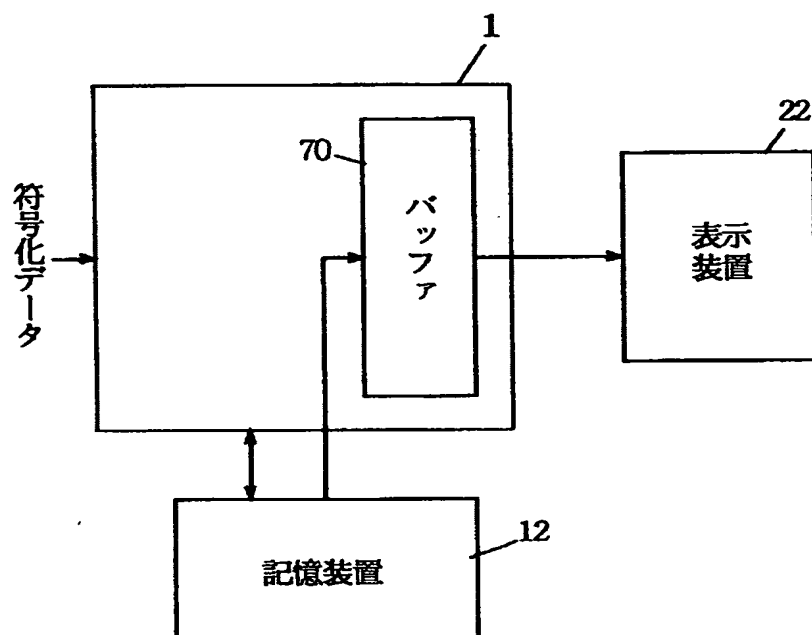


【図13】

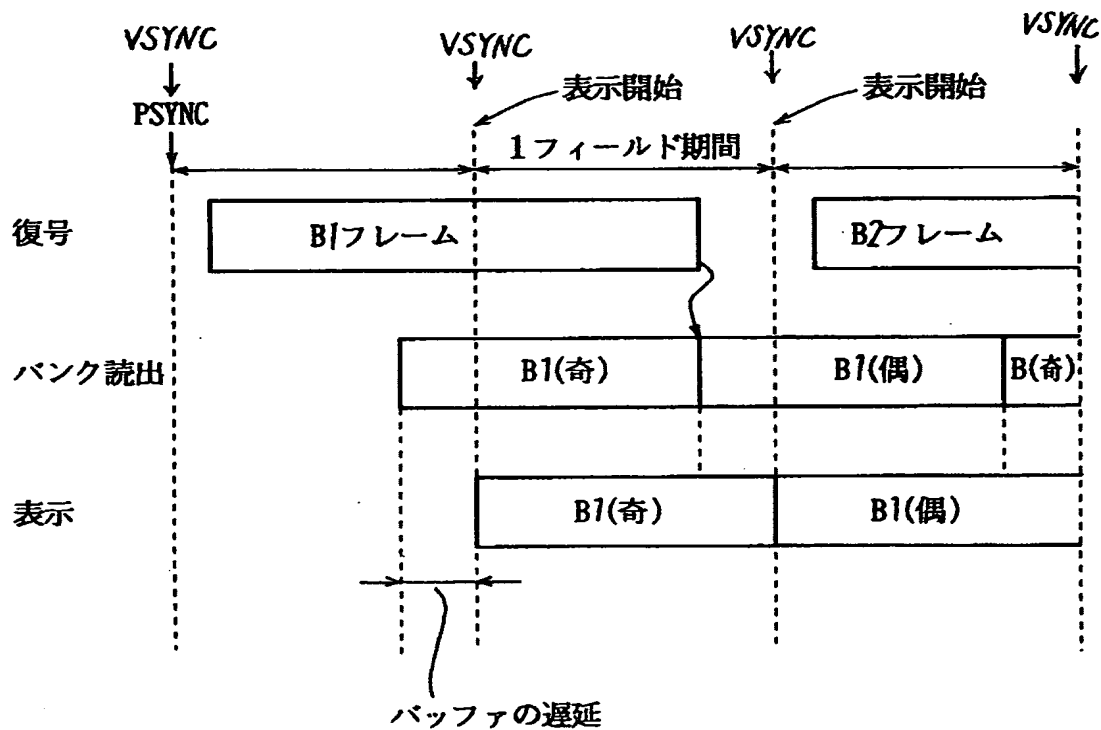




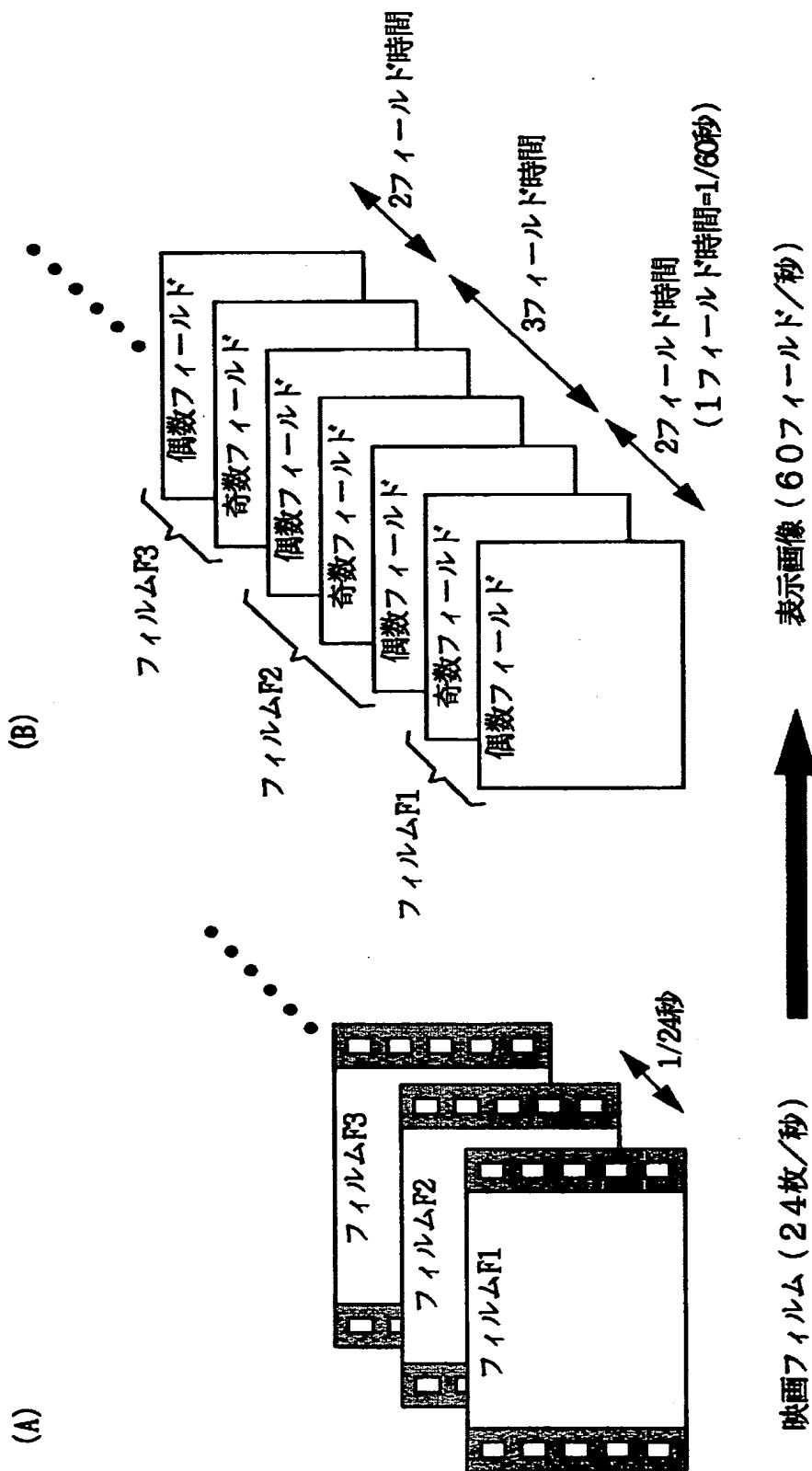
【図14】



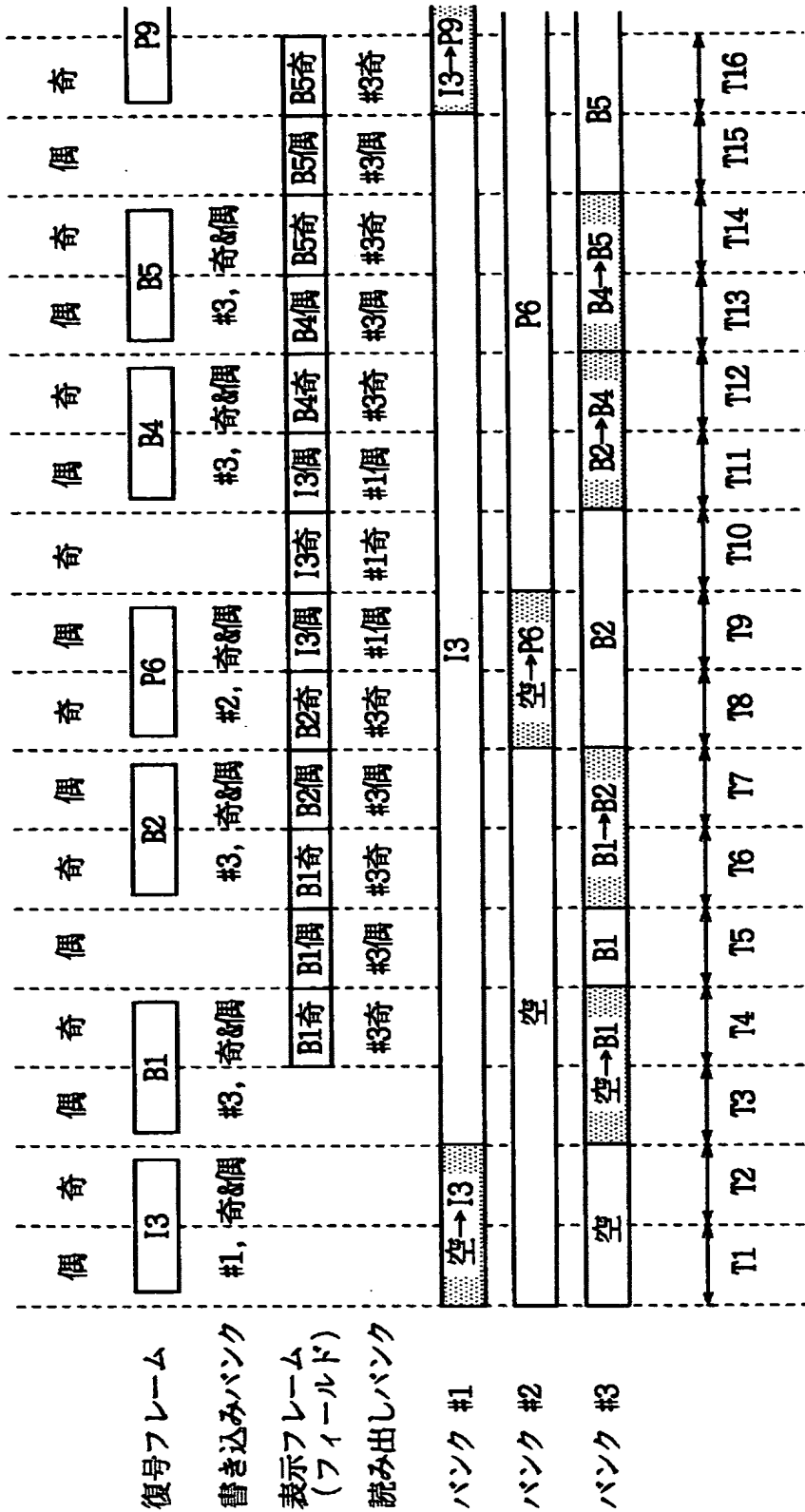
【図15】



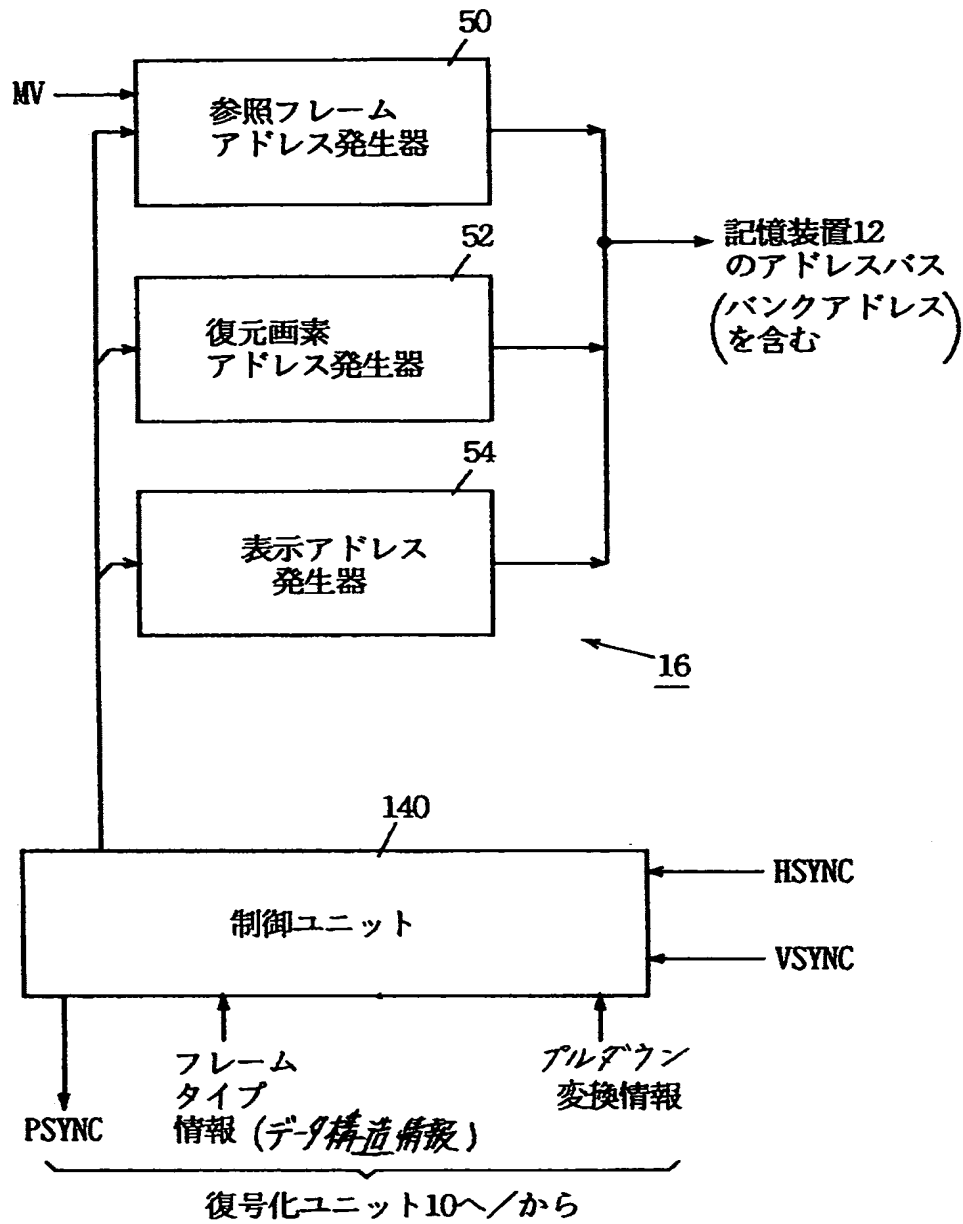
【图 16】



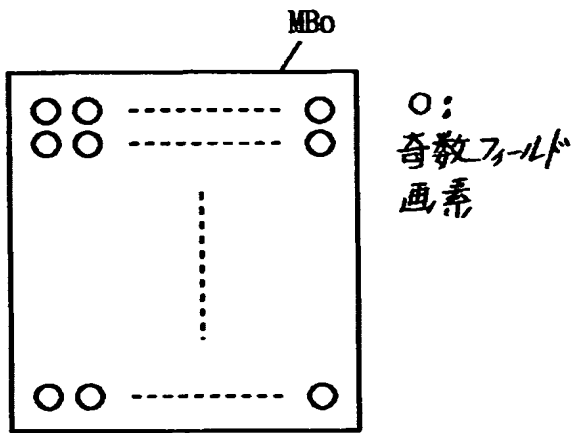
【図 17】



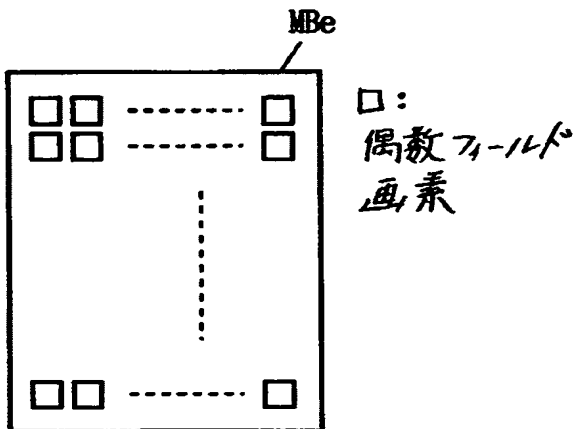
【図18】



【図19】



【図20】

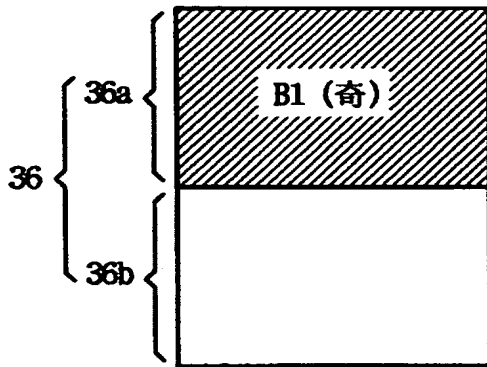


【図 21】

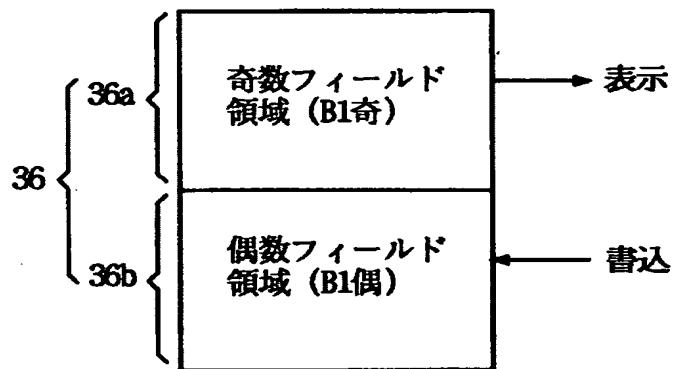
	偶	奇	偶	奇	偶	奇	偶	奇	偶	奇	偶	奇	偶	奇	偶	奇			
復号フレーム	I3奇	I3偶	B1奇	B1偶	B2奇	B2偶	P6奇	P6偶	B4奇	B4偶	B5奇	B5偶	P9奇	P9偶	B7奇	B7偶			
書き込みバンク	#1奇	#1偶	#3奇	#3偶	#3奇	#3偶	#2奇	#2偶	#3奇	#3偶	#3奇	#3偶	#1奇	#1偶	#3奇	#3偶			
表示フレーム (フィールド)					B1奇	B1偶	B2奇	B2偶	I3奇	I3偶	B4奇	B4偶	B5奇	B5偶	P6奇	P6偶	B7奇	B7偶	
読み出しバンク				#3奇	#3偶	#3奇	#3偶	#3奇	#3偶	#1奇	#1偶	#3奇	#3偶	#3奇	#3偶	#2奇	#2偶	#3奇	#3偶
バンク #1奇	空→I3	I3						I3					I3→P9	P9					
バンク #1偶		空→I3						I3					I3→P9	P9					
バンク #2奇			空				空→P6						P6						
バンク #2偶			空					空→P6					P6						
バンク #3奇	空	空→B1		B1→B2		B2		B2→B4		B4→B5		B5		B5→B7					
バンク #3偶	空	空→B1		B1→B2		B2		B2→B4		B4→B5		B5		B5→B7					
	T1	T2	T3	T4	T5	T6	T7	T8	T9	T10	T11	T12	T13	T14	T15	T16			

【図 2 2】

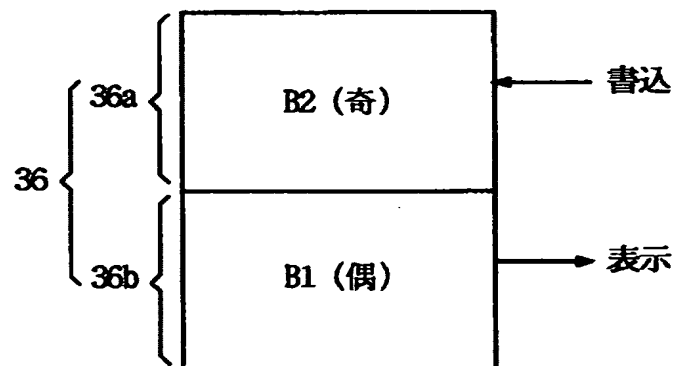
(A)



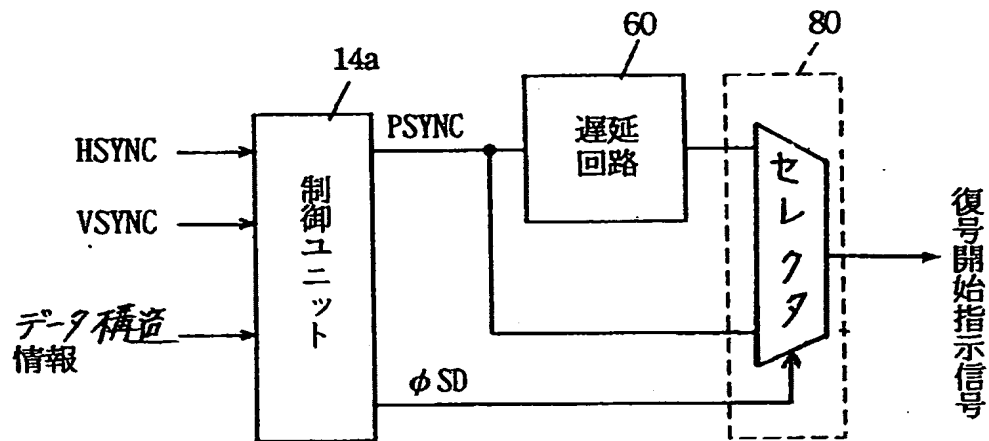
(B)



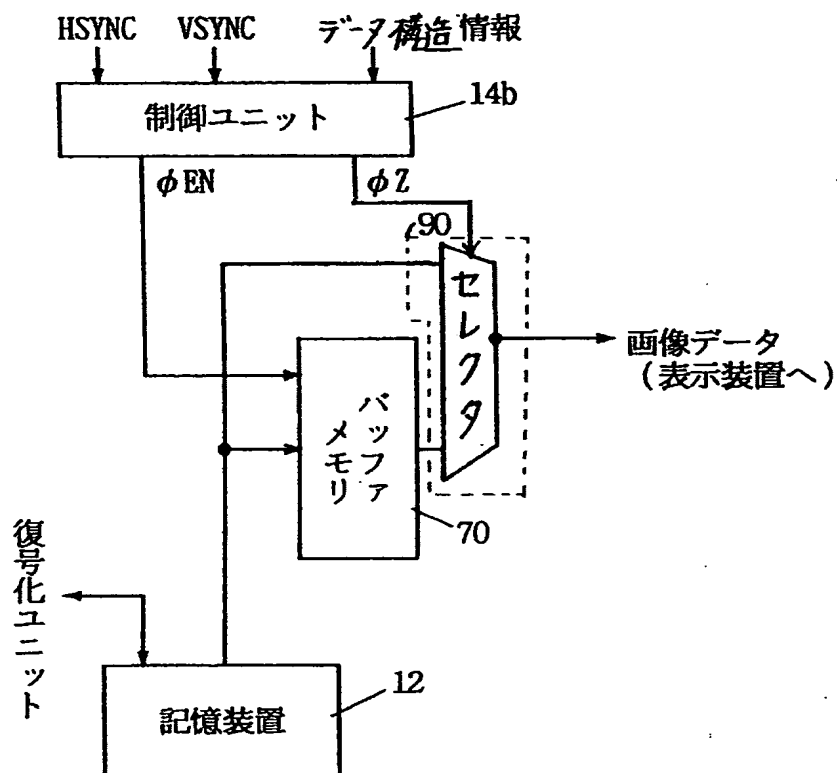
(C)



【図23】

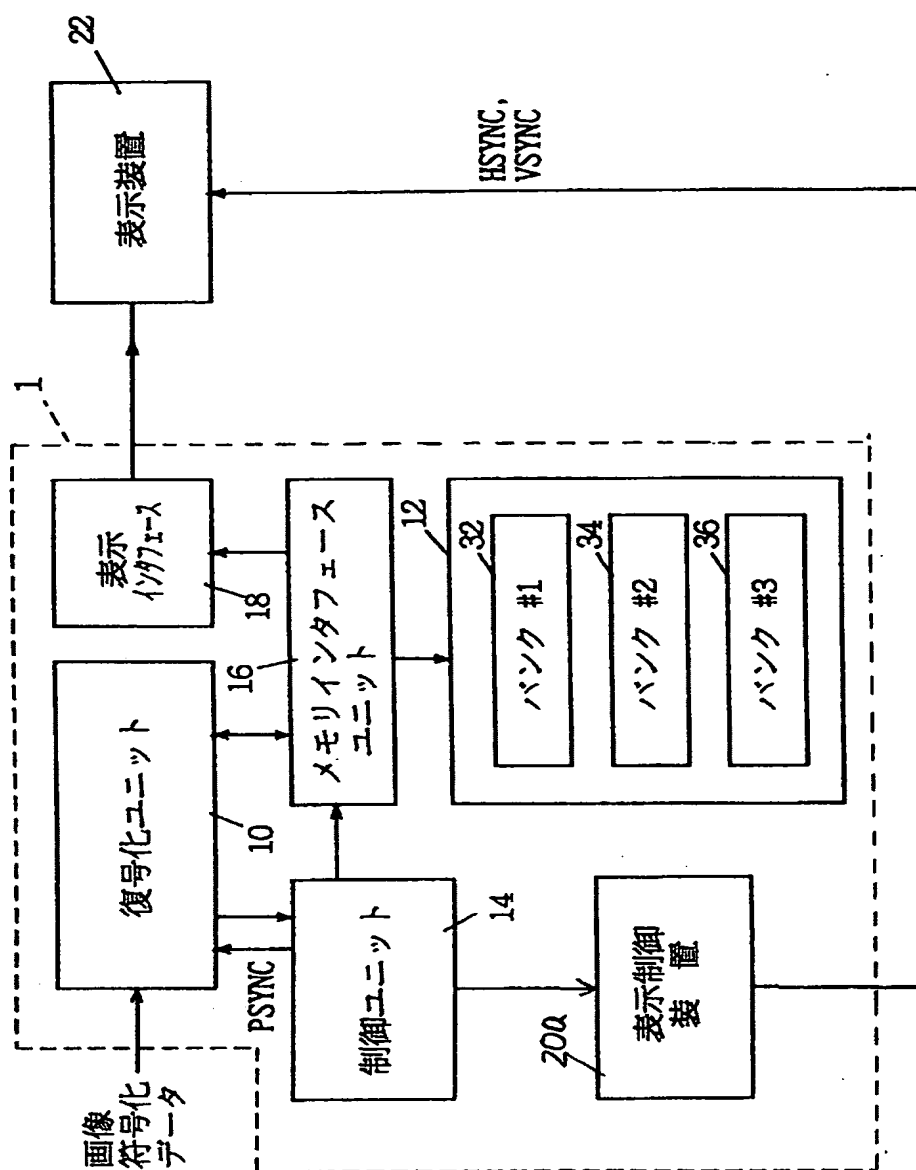


【図24】

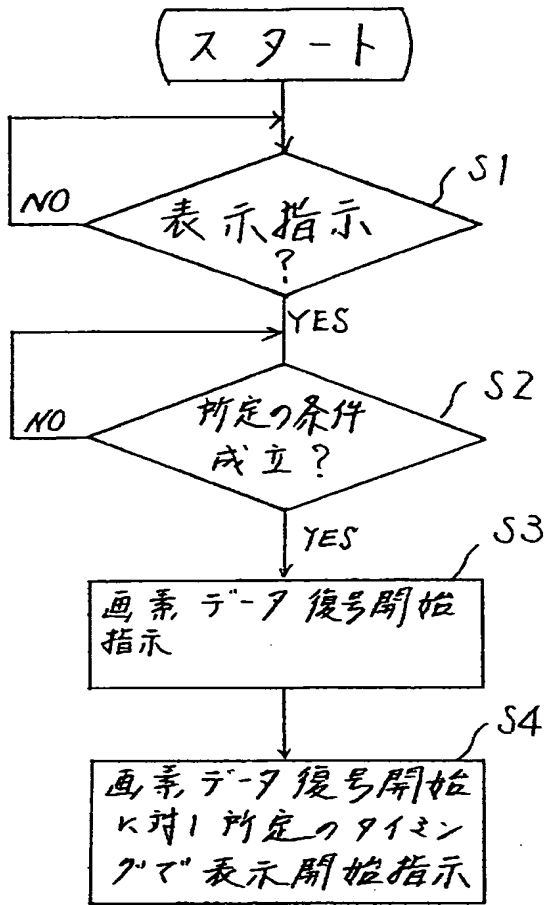




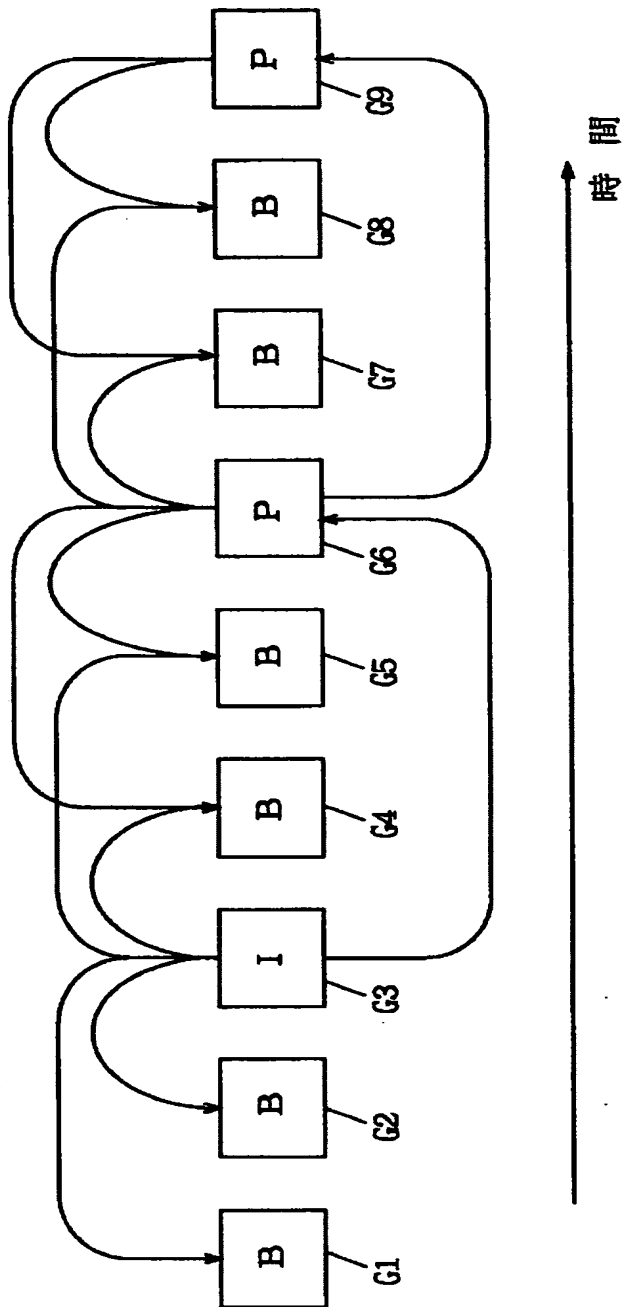
【図25】



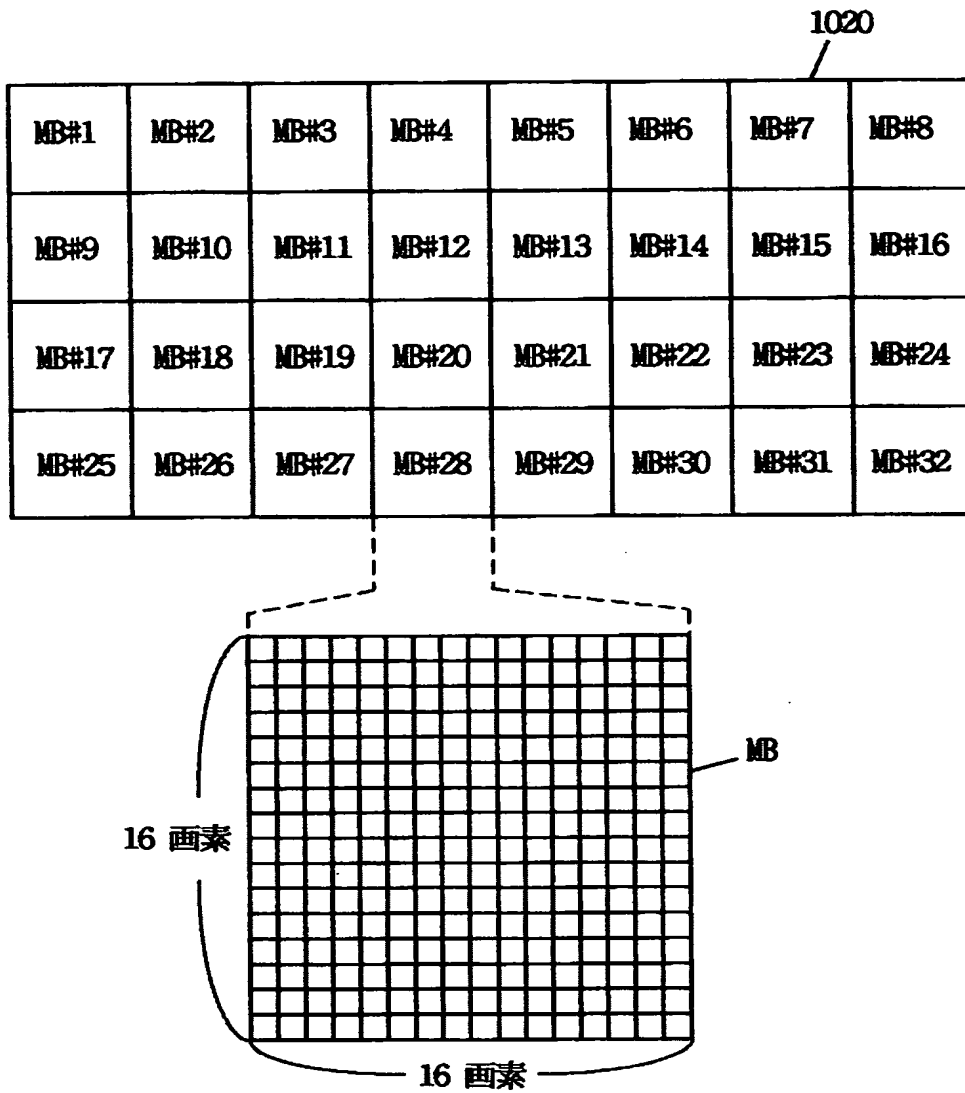
【図26】



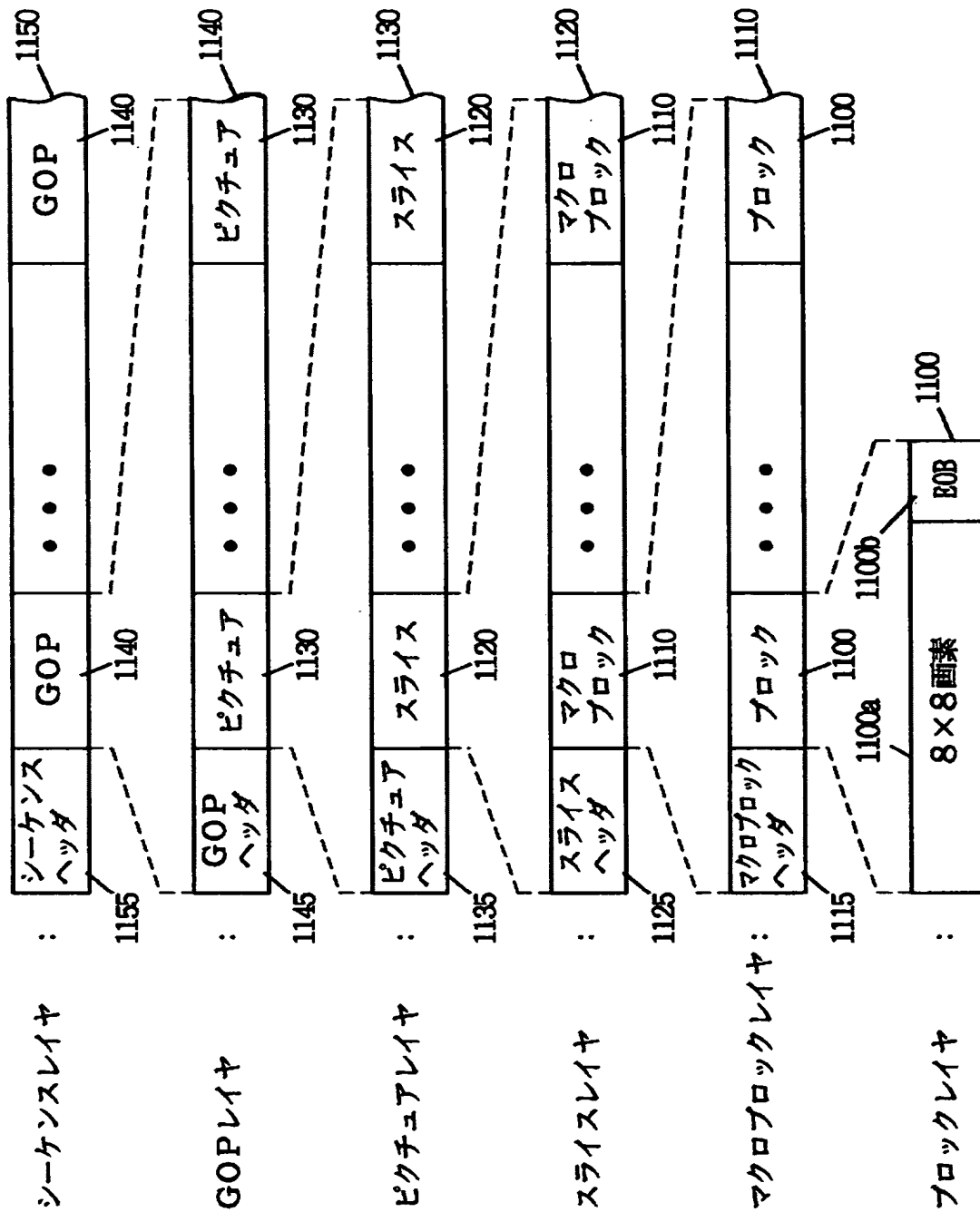
【図 27】



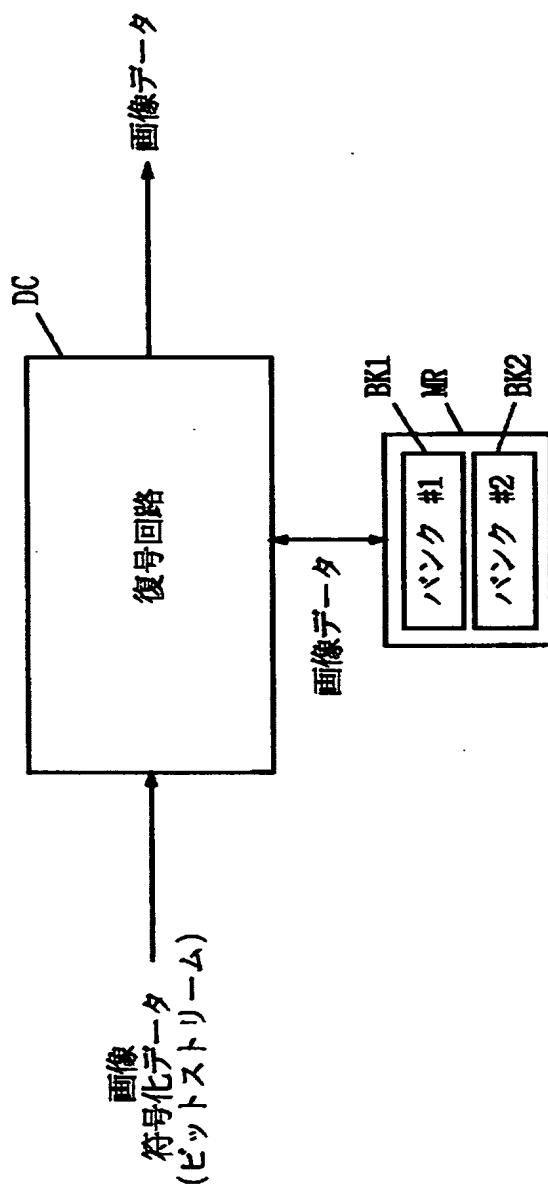
【図28】



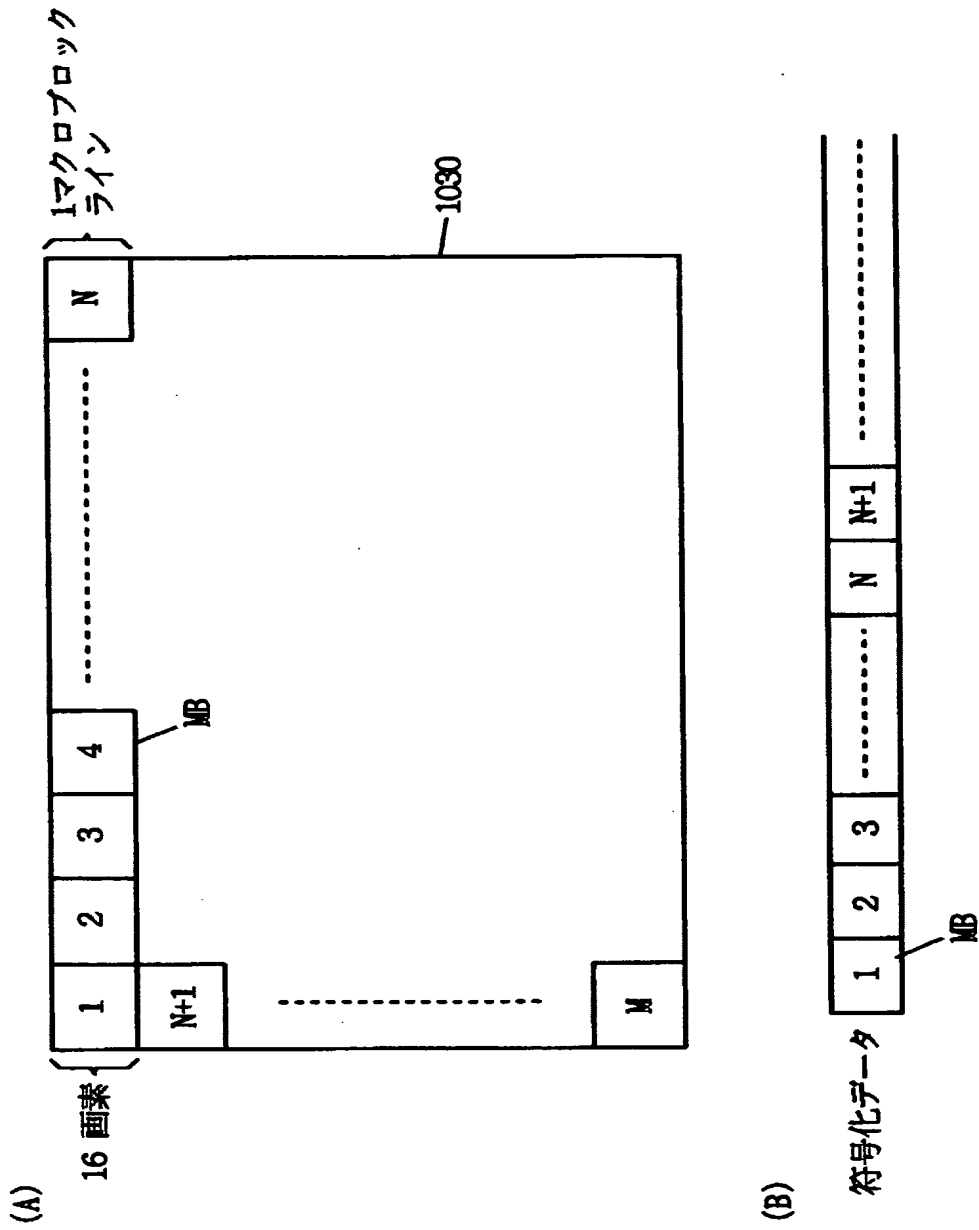
【図29】



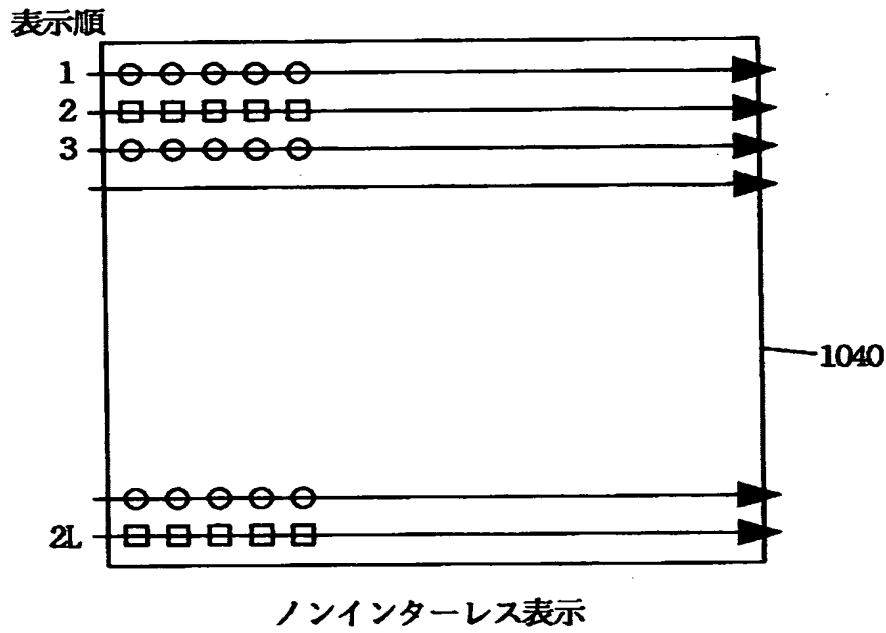
【図30】



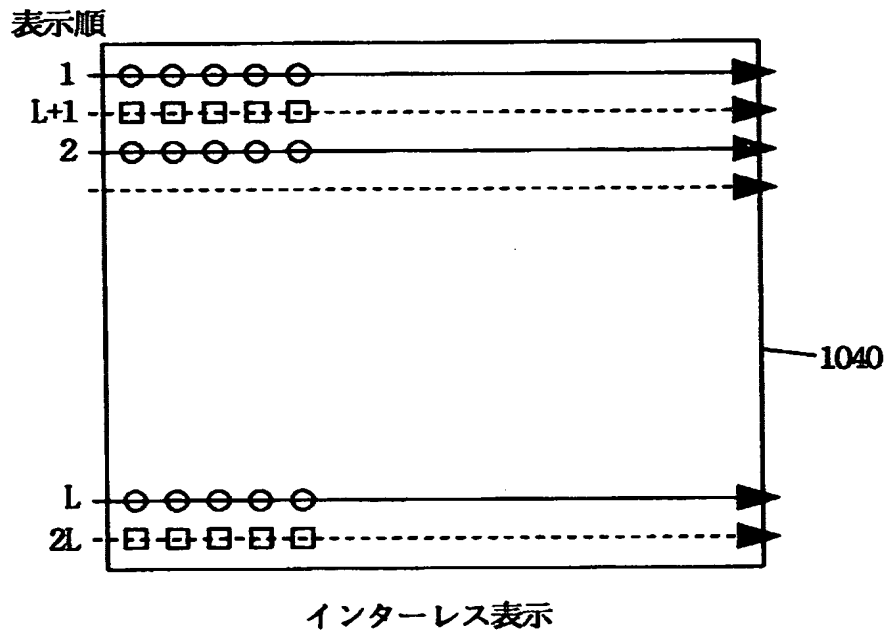
【図31】



【図32】



【図33】







【図 35】

	T1	T2	T3	T4	T5	T6	T7	T8
復号フレーム	I3	B1	B2	P6	B4	B5	P9	B7
書き込みバンク	#1	#3	#4	#2	#3	#4	#1	#3
表示フレーム			B1	B2	I3	B4	B5	P6
読み出しバンク			#3	#4	#1	#3	#4	#2
バンク #1	空→I3			I3			I3→P9	P9
バンク #2		空		空→P6		P6		
バンク #3	空	空→B1	B1	B1	B1→B4	B4	B4	B4→B7
バンク #4		空	空→B2	B2	B2	B2→B5	B5	

【書類名】 要約書

【要約】

【目的】 表示機能を備える画像復号表示装置の表示のための記憶装置の記憶容量を低減する。

【構成】 表示のためのバンク（36）として1フレームの画素データを格納する記憶容量を有するメモリを用い、復号化ユニット（10）におけるフレームの復号開始タイミングと表示装置22におけるフレームの画素データの表示開始タイミングとの時間差を1フィールド時間とする。

【選択図】 図4

【書類名】 職権訂正データ  
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000006013  
【住所又は居所】 東京都千代田区丸の内二丁目2番3号  
【氏名又は名称】 三菱電機株式会社

【代理人】 申請人

【識別番号】 100064746  
【住所又は居所】 大阪府大阪市北区南森町2丁目1番29号 住友銀行南森町ビル 深見特許事務所

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132  
【住所又は居所】 大阪府大阪市北区南森町2丁目1番29号 住友銀行南森町ビル 深見特許事務所

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091395  
【住所又は居所】 大阪府大阪市北区南森町2-1-29 住友銀行南森町ビル 深見特許事務所

【氏名又は名称】 吉田 博由

【選任した代理人】

【識別番号】 100091409  
【住所又は居所】 大阪府大阪市北区南森町2-1-29 住友銀行南森町ビル 深見特許事務所

【氏名又は名称】 伊藤 英彦

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社